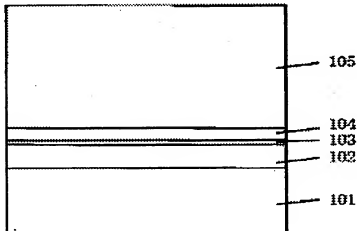


HETERO-EPTAXIAL SEMICONDUCTOR CRYSTAL STRUCTURE, METHOD AND DEVICE FOR MANUFACTURING STRUCTURE THEREOF, SEMICONDUCTOR LIGHT EMITTING ELEMENT AND OPTICAL DISK DEVICE USING ELEMENT THEREOF**Publication number:** JP10083999**Publication date:** 1998-03-31**Inventor:** TSUJIMURA AYUMI; NISHIKAWA KOJI; SASAI YOICHI**Applicant:** MATSUSHITA ELECTRIC IND CO LTD**Classification:****- International:** **H01L21/203; H01L21/363; H01S5/00; H01L21/02; H01S5/00;**
(IPC1-7): H01L21/363; H01L21/203; H01S3/18**- European:****Application number:** JP19960236346 19960906**Priority number(s):** JP19960236346 19960906**Report a data error here****Abstract of JP10083999**

PROBLEM TO BE SOLVED: To decrease the density of the crystal defects occurring at the interface between a group III-V semiconductor and a group II-VI semiconductor, by forming a ZnTe layer on the group III-V semiconductor crystal, and forming one or more layers of the group II-VI semiconductor crystal layers on the ZnTe layer.

SOLUTION: A GaAs buffer layer 102 is formed on a semi-insulating GaAs substrate 101 as a III-V compound semiconductor crystal. A ZnTe buffer layer 103 having the thickness of 1.2nm is laminated and formed on the layer 2 so as to prevent the deterioration of the crystal quality of a hetero-epitaxial crystal. Furthermore, on the ZnTe buffer layer 103, a ZnSe buffer layer 104 and an N-type ZnMgSSe layer 105 as II-VI compound semiconductor crystals are sequentially grown and deposited. Thus, the density of the crystal defects occurring at the interface between the III-V semiconductor and the II-VI semiconductor can be decreased.

Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-83999

(43) 公開日 平成10年(1998) 3月31日

(51) Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/363		H 0 1 L	21/363
	21/203			21/203
H 0 1 S	3/18		H 0 1 S	3/18
				M

審査請求 未請求 請求項の数65 O L (全 28 頁)

(21) 出願番号 特願平8-236346

(22) 出願日 平成8年(1996) 9月6日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 辻村 歩

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 西川 孝司

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 佐々井 祥一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

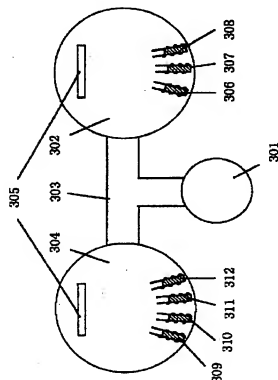
(74) 代理人 弁理士 滝本 智之 (外1名)

(54) 【発明の名称】 ヘテロエピタキシャル半導体結晶構造体、その製造方法、その製造装置、半導体発光素子およびこれを用いた光ディスク装置

(57) 【要約】

【課題】 III-V族半導体基板上に形成されたII-VI族半導体レーザにおいて、バッファ層とII-VI族半導体レーザ構造との成長室を分離することで、欠陥密度を低減させ、動作寿命を延長させる。

【解決手段】 第1の成長室302においてn型GaAs基板上にn型GaAsバッファ層を形成する。引き続きZnTeバッファ層を形成した後、基板移送室303を経て第2の成長室304に搬送する。第2の成長室304においてZnMgSSe系材料を用いたII-VI族半導体レーザ構造を形成する。



1

【特許請求の範囲】

【請求項1】 III-V族半導体結晶上にZnTe層が形成されており、その上に少なくとも1層以上のIII-V族半導体結晶層が形成されていることを特徴とするヘテロエピタキシャル半導体結晶構造体。

【請求項2】 III-V族半導体結晶がGaAsであり、少なくとも1層以上のIII-V族半導体結晶層が少なくともZnおよびSeを構成元素とすることを特徴とする請求項1記載のヘテロエピタキシャル半導体結晶構造体。

【請求項3】 III-V族半導体結晶上に形成されたZnTe層の厚さが該III-V族半導体結晶に対する臨界膜厚以下であることを特徴とする請求項1または2記載のヘテロエピタキシャル半導体結晶構造体。

【請求項4】 GaAs結晶上にBeTe層が形成されており、その上に少なくとも1層以上のIII-V族半導体結晶層が形成されていることを特徴とするヘテロエピタキシャル半導体結晶構造体。

【請求項5】 III-V族半導体結晶層のうち少なくとも1層以上がZnInGaSeからなることを特徴とする請求項4記載のヘテロエピタキシャル半導体結晶構造体。

【請求項6】 GaAs結晶上に形成されたZnTe層の厚さがGaAsに対する臨界膜厚以下であることを特徴とする請求項4または5記載のヘテロエピタキシャル半導体結晶構造体。

【請求項7】 III-V族半導体結晶上に形成されたIII-V族半導体結晶層からなるヘテロエピタキシャル半導体結晶であって、III-V族半導体結晶とIII-V族半導体結晶との界面から発生する結晶欠陥の密度を $1 \times 10^3 \text{ cm}^{-2}$ 未満に低減するようなバッファ層がIII-V族半導体結晶上に備えられていることを特徴とするヘテロエピタキシャル半導体結晶構造体。

【請求項8】 III-V族半導体結晶上に形成されたバッファ層の厚さが該III-V族半導体結晶に対する臨界膜厚以下であることを特徴とする請求項7記載のヘテロエピタキシャル半導体結晶構造体。

【請求項9】 分子線エピタキシーを用いた半導体結晶製造装置であって、III-V族半導体結晶を作製する第1の成長室と、III-V族半導体結晶を作製する第2の成長室と、前記第1の成長室と第2の成長室を連結する基板移送室を有し、前記第1の成長室内にZnTe層を形成するための加熱蒸発源が備えられていることを特徴とする半導体結晶構造体の製造装置。

【請求項10】 第1の成長室内にZnを充填した加熱蒸発源とTeを充填した加熱蒸発源が備えられていることを特徴とする請求項9記載の半導体結晶構造体の製造装置。

【請求項11】 第1の成長室内にZnTeを充填した加熱蒸発源が備えられていることを特徴とする請求項9記載の半導体結晶構造体の製造装置。

【請求項12】 分子線エピタキシーを用いた半導体結晶製造方法であって、第1の成長室においてGaAs基板上にG

2

aAsエピタキシャル層を形成し、前記GaAs層上にZnTe層を形成した後、基板移送室を経て第2の成長室に搬送し、該第2の成長室において前記基板上にIII-V族半導体結晶を形成することを特徴とする半導体結晶の製造方法。

【請求項13】 分子線エピタキシーを用いた半導体結晶製造方法であって、第1の成長室においてInP基板上にInGaAsエピタキシャル層を形成し、前記InGaAs層上にZnTe層を形成した後、基板移送室を経て第2の成長室に搬送し、該第2の成長室において前記基板上にIII-V族半導体結晶を形成することを特徴とする半導体結晶の製造方法。

【請求項14】 分子線エピタキシーを用いた半導体結晶製造方法であって、第1の成長室においてGaAs基板上にGaAsエピタキシャル層を形成し、前記GaAs層上にAlxGa1-xAs ($0 < x \leq 1$) 層を形成し、前記AlxGa1-xAs層上にZnTe層を形成した後、基板移送室を経て第2の成長室に搬送し、該第2の成長室において前記基板上にIII-V族半導体結晶を形成することを特徴とする半導体結晶の製造方法。

【請求項15】 分子線エピタキシーを用いた半導体結晶製造装置であって、III-V族半導体結晶を作製する第1の成長室と、少なくともZnTe層を形成するための加熱蒸発源が備えられた第2の成長室と、III-V族半導体結晶を作製する第3の成長室と、前記第1の成長室と第2の成長室と第3の成長室を連結する基板移送室を有することを特徴とする半導体結晶の製造装置。

【請求項16】 第2の成長室内に少なくともZnを充填した加熱蒸発源とTeを充填した加熱蒸発源が備えられていることを特徴とする請求項15記載の半導体結晶の製造装置。

【請求項17】 第2の成長室内に少なくともZnTeを充填した加熱蒸発源が備えられていることを特徴とする請求項15記載の半導体結晶の製造装置。

【請求項18】 分子線エピタキシーを用いた半導体結晶製造方法であって、第1の成長室においてGaAs基板上にGaAsエピタキシャル層を形成した後、基板移送室を経て該基板を第2の成長室に搬送し、前記GaAs層上に少なくともZnTe層を形成した後、基板移送室を経て該基板を第3の成長室に搬送し、該基板上にIII-V族半導体結晶を形成することを特徴とする半導体結晶の製造方法。

【請求項19】 分子線エピタキシーを用いた半導体結晶製造方法であって、第1の成長室においてInP基板上にInGaAsエピタキシャル層を形成した後、基板移送室を経て該基板を第2の成長室に搬送し、前記InGaAs層上に少なくともZnTe層を形成した後、基板移送室を経て該基板を第3の成長室に搬送し、該基板上にIII-V族半導体結晶を形成することを特徴とする半導体結晶の製造方法。

【請求項20】 ZnTe層の厚さが基板に対する臨界膜厚以下であることを特徴とする請求項12、13、14、18または

3

19記載の半導体結晶の製造方法。

【請求項21】表面再構成構造が(2×4)構造であるGaAsエピタキシャル層表面上にZnTe層を形成することを特徴とする請求項12または18記載の半導体結晶の製造方法。

【請求項22】ZnTe層を形成した後の表面再構成構造が(2×1)構造であることを特徴とする請求項12、13、14、18または19記載の半導体結晶の製造方法。

【請求項23】表面再構成構造が(2×4)構造であるInGaAsエピタキシャル層表面上にZnTe層を形成することを特徴とする請求項13または19記載の半導体結晶の製造方法。

【請求項24】分子線エピタキシーを用いた半導体結晶製造装置であって、GaAs結晶を作製する第1の成長室と、II-VI族半導体結晶を作製する第2の成長室と、前記第1の成長室と第2の成長室を連結する基板移送室を有し、前記第1の成長室内に、Beを充填した加熱蒸発源およびTeを充填した加熱蒸発源の少なくともいずれか一方が備えられていることを特徴とする半導体結晶の製造装置。

【請求項25】分子線エピタキシーを用いた半導体結晶製造装置であって、GaAs結晶を作製する第1の成長室と、Beを充填した加熱蒸発源およびTeを充填した加熱蒸発源の少なくともいずれか一方が備えられている第2の成長室と、II-VI族半導体結晶を作製する第3の成長室と、前記第1の成長室と第2の成長室と第3の成長室を連結する基板移送室を有することを特徴とする半導体結晶の製造装置。

【請求項26】分子線エピタキシーを用いた半導体結晶製造方法であって、GaAs基板上にGaAsエピタキシャル層を形成し、前記GaAs層上にBe分子線を照射した後、II-VI族半導体結晶を形成することを特徴とする半導体結晶の製造方法。

【請求項27】分子線エピタキシーを用いた半導体結晶製造方法であって、GaAs基板上にGaAsエピタキシャル層を形成し、前記GaAs層上にTe分子線を照射した後、II-VI族半導体結晶を形成することを特徴とする半導体結晶の製造方法。

【請求項28】分子線エピタキシーを用いた半導体結晶製造方法であって、GaAs基板上にGaAsエピタキシャル層およびBeTe層を介してII-VI族半導体結晶を形成する際、II-VI族半導体結晶を作製する成長室とは異なる成長室でBeTe層を作製することを特徴とする半導体結晶の製造方法。

【請求項29】BeTe層の厚さがGaAsに対する境界膜厚以下であることを特徴とする請求項28記載の半導体結晶の製造方法。

【請求項30】表面再構成構造が(2×4)構造であるGaAsエピタキシャル層表面上にBeTe層を形成することを特徴とする請求項28記載の半導体結晶の製造方法。

【請求項31】BeTe層を形成した後の表面再構成構造が

4

(2×1)構造であることを特徴とする請求項28記載の半導体結晶の製造方法。

【請求項32】分子線エピタキシーを用いた半導体結晶製造装置であって、II-V族半導体結晶を作製する第1の成長室と、II-VI族半導体結晶を作製する第2の成長室と、前記第1の成長室と第2の成長室を連結する基板移送室を有し、前記第1の成長室内にZnSe層を形成するための加熱蒸発源が備えられていることを特徴とする半導体結晶の製造装置。

10 【請求項33】第1の成長室内にZnを充填した加熱蒸発源とSeを充填した加熱蒸発源が備えられていることを特徴とする請求項32記載の半導体結晶の製造装置。

【請求項34】第1の成長室内において、基板保持部とSeを充填した加熱蒸発源との間にSeの分子線を遮断するバルブ機構が備えられていることを特徴とする請求項33記載の半導体結晶の製造装置。

【請求項35】第1の成長室内にZnSeを充填した加熱蒸発源が備えられていることを特徴とする請求項32記載の半導体結晶の製造装置。

20 【請求項36】第1の成長室内において、基板保持部とZnSeを充填した加熱蒸発源との間に分子線を遮断するバルブ機構が備えられていることを特徴とする請求項35記載の半導体結晶の製造装置。

【請求項37】分子線エピタキシーを用いた半導体結晶製造方法であって、第1の成長室においてGaAs基板上にGaAsエピタキシャル層を形成し、前記GaAs層上にZnSe層を形成した後、基板移送室を経て第2の成長室に搬送し、該第2の成長室において前記基板上にII-VI族半導体結晶を形成することを特徴とする半導体結晶の製造方法。

30 【請求項38】分子線エピタキシーを用いた半導体結晶製造方法であって、第1の成長室においてInP基板上にInGaAsエピタキシャル層を形成し、前記InGaAs層上にZnSe層を形成した後、基板移送室を経て第2の成長室に搬送し、該第2の成長室において前記基板上にII-VI族半導体結晶を形成することを特徴とする半導体結晶の製造方法。

【請求項39】分子線エピタキシーを用いた半導体結晶製造方法であって、第1の成長室においてGaAs基板上にGaAsエピタキシャル層を形成し、前記GaAs層上にAl_xGa_{1-x}As (0<x≤1)層を形成し、前記Al_xGa_{1-x}As層上にZnSe層を形成した後、基板移送室を経て第2の成長室に搬送し、該第2の成長室において前記基板上にII-VI族半導体結晶を形成することを特徴とする半導体結晶の製造方法。

40 【請求項40】分子線エピタキシーを用いた半導体結晶製造装置であって、II-V族半導体結晶を作製する第1の成長室と、ZnSe層を形成するための加熱蒸発源が備えられた第2の成長室と、II-VI族半導体結晶を作製する第3の成長室と、前記第1の成長室と第2の成長室との間の成

5

長室を連結する基板移送室を有することを特徴とする半導体結晶の成長装置。

【請求項 4 1】 第2の成長室内にZnを充填した加熱蒸発源とSeを充填した加熱蒸発源が備えられていることを特徴とする請求項40記載の半導体結晶の製造装置。

【請求項 4 2】 第2の成長室内において、基板保持部とSeを充填した加熱蒸発源との間にSeの分子線を遮断するバルブ機構が備えられていることを特徴とする請求項41記載の半導体結晶の製造装置。

【請求項 4 3】 第2の成長室内にZnSeを充填した加熱蒸発源が備えられていることを特徴とする請求項40記載の半導体結晶の製造装置。

【請求項 4 4】 第2の成長室内において、基板保持部とZnSeを充填した加熱蒸発源との間に分子線を遮断するバルブ機構が備えられていることを特徴とする請求項43記載の半導体結晶の製造装置。

【請求項 4 5】 分子線エピタキシーを用いた半導体結晶製造方法であって、第1の成長室においてGaAs基板上にGaAsエピタキシャル層を形成した後、基板移送室を経て該基板を第2の成長室に搬送し、前記GaAs層上にZnSe層を形成した後、基板移送室を経て該基板を第3の成長室に搬送し、前記ZnSe層上にII-VI族半導体結晶を形成することを特徴とする半導体結晶の製造方法。

【請求項 4 6】 分子線エピタキシーを用いた半導体結晶製造方法であって、第1の成長室においてInP基板上にInGaAsエピタキシャル層を形成した後、基板移送室を経て該基板を第2の成長室に搬送し、前記InGaAs層上にZnSe層を形成した後、基板移送室を経て該基板を第3の成長室に搬送し、前記ZnSe層上にII-VI族半導体結晶を形成することを特徴とする半導体結晶の製造方法。

【請求項 4 7】 III-V族半導体基板上に形成された複数のII-VI族半導体層からなる半導体発光素子であって、II-VI族半導体層上にZnTe層が備えられていることを特徴とする半導体発光素子。

【請求項 4 8】 GaAs基板上にZnTe層が備えられている請求項47記載の半導体発光素子。

【請求項 4 9】 InP基板上にInGaAs層が備えられており、該InGaAs層上にZnTe層が備えられている請求項47記載の半導体発光素子。

【請求項 5 0】 GaAs基板上にAl_xGa_{1-x}As (0<x≤1) 層が備えられており、該Al_xGa_{1-x}As層上にZnTe層が備えられている請求項47記載の半導体発光素子。

【請求項 5 1】 III-V族半導体層上に形成されたZnTe層の厚さが該III-V族半導体に対する臨界膜厚以下であることを特徴とする請求項47記載の半導体発光素子。

【請求項 5 2】 GaAs基板上に形成された複数のII-VI族半導体層からなる半導体発光素子であって、GaAs層上にBeTe層が備えられていることを特徴とする半導体発光素子。

【請求項 5 3】 GaAs層上に形成されたBeTe層の厚さがGa

6

Asに対する臨界膜厚以下であることを特徴とする請求項52記載の半導体発光素子。

【請求項 5 4】 III-V族半導体基板上に形成された複数のII-VI族半導体層からなる半導体発光素子であって、活性層に存在する結晶欠陥の密度を $1 \times 10^3 \text{ cm}^{-2}$ 未満に低減するようなバッファ層がIII-V族半導体層上に備えられていることを特徴とする半導体発光素子。

【請求項 5 5】 III-V族半導体層上に形成されたバッファ層の厚さが該III-V族半導体に対する臨界膜厚以下であることを特徴とする請求項54記載の半導体発光素子。

【請求項 5 6】 p型III-V族半導体基板上に形成された複数のII-VI族半導体層からなる半導体発光素子であって、p型III-V族半導体層上に、Zn、Cd、BeおよびMgのうちの1種類以上の元素とS、SeおよびTeのうちの1種類以上の元素とからなる1組以上の超格子バッファ層を有し、該バッファ層の少なくとも一部にTeを含むことを特徴とする半導体発光素子。

【請求項 5 7】 p型III-V族半導体基板上に形成された複数のII-VI族半導体層からなる半導体発光素子であって、p型III-V族半導体層上に、Zn、Cd、BeおよびMgのうちの1種類以上の元素とS、SeおよびTeのうちの1種類以上の元素とからなる1層以上の混晶層および1層以上のZnTe層からなるバッファ層を有することを特徴とする半導体発光素子。

【請求項 5 8】 p型III-V族半導体基板上に形成された複数のII-VI族半導体層からなる半導体発光素子であって、p型III-V族半導体層上に、1層以上のp型ZnS層と1層以上のp型BeTe層からなるバッファ層を有することを特徴とする半導体発光素子。

【請求項 5 9】 請求項47~58のいずれかに記載の半導体レーザと、前記半導体レーザから出射したレーザ光を記録媒体に集光する集光光学系と、前記記録媒体からの反射光を受光する光検出器とを備えていることを特徴とする光ディスク装置。

【請求項 6 0】 前記レーザ光により、前記記録媒体の情報を読み取ること特徴とする請求項59に記載の光ディスク装置。

【請求項 6 1】 前記半導体レーザの近傍に光検出器が設けられていることを特徴とする請求項59に記載の光ディスク装置。

【請求項 6 2】 前記光検出器はSiにより構成され、前記Si表面に半導体レーザチップが設置されていることを特徴とする請求項61に記載の光ディスク装置。

【請求項 6 3】 前記半導体レーザチップは、前記Si表面に形成された凹部に配置され、前記半導体レーザから出射したレーザ光は、前記Siに形成されたマイクロミラーにより反射されて前記Si主面に対してほぼ垂直方向に進むことを特徴とする請求項62に記載の光ディスク装置。

【請求項 6 4】 マイクロミラーの表面には金属薄膜が形成されていることを特徴とする請求項63に記載の光ディ

8

-2未満としている。

【発明が解決しようとする課題】しかしながら、例えば

Applied Physics Letters第16巻 (1994) 1331~1333頁
に記載されているように、通電動作時に活性層中で暗点

欠陥や暗線欠陥が増殖し、素子の劣化を招いている。

【0009】一方、ZnSeを成長する前にGaAsエピタキシャル層にZnを照射することにより、積層欠陥の発生が抑制されることがApplied Physics Letters第67巻(199

10 5) 3298~3300頁とApplied Physics Letters第68巻(1995)

5) 3298~3300頁やApplied Physics Letters第68巻(1996) 2413~2415頁等にも記載されている。積層欠陥は界面におけるGa原子とSe原子との結合に起因しており、Znを照射するとGa-Se結合形成が抑制されるので積層欠陥が $1 \times 10^4 \text{ cm}^{-2}$ 程度の密度に減少すると解釈されている。

のTe照射が有効であることがProceeding of the International Symposium on Blue Laser and Light Emitting Diodes (1996) 465~468頁に記載されている。これはTeが2次元核形成の触媒として作用し、Zn-Se結合やZn-S結合の形成時にTeは容易に脱離し、SやSeと置換するため

であると解釈されている。

【0011】しかしながら、SeやS等のVI族元素は蒸気圧が高く、高真空下のII-VI族半導体成長室雰囲気においても多数のSe分やS分が存在するため、上述のいずれの方法によっても、Ga-Se結合やGa-S結合の形成を完全に阻止することは不可能であり、GaAsエピタキシャル層との界面から発生する結晶欠陥の密度は 10^3cm^{-2} 以上となる。

30 【0012】また、InP基板上にZnCdMgSe系II-VI族半導体を成長する試みが、電気学会研究会資料、電子材料研究会EFM-95-21(1995)1~9頁に記載されている。InP基板を用いた場合にはGaAs基板を用いた場合と同様に、界面におけるII族原子とVI族原子との結合に起因して発生する積層欠陥が結晶の劣化を引き起こすという問題がある。

【0013】また、 n 型GaAs基板と n 型 $11\bar{1}V$ 族半導体層との界面に n 型Al x Ga $1-x$ As ($0 < x \leq 1$)層を挿入することにより、GaAsとZnSeの伝導帯不連続に起因する電子の障壁が緩和され、発光素子の動作電圧が低減することが、第43回応用物理学会関係連合講演会講演予集(1996)第3分冊、1073頁に記載されている。しかしながら、 $11\bar{1}V$ 族半導体成長室においてGaAs基板にAl x Ga $1-x$ As ($0 < x \leq 1$)層を形成した後に基板を移送し、 $11\bar{1}V$ 族半導体成長室において $11\bar{1}V$ 族半導体を成長する場合、Al x Ga $1-x$ As表面が化学的に極めて活性であるため、移送中に不純物が付着し、新たな結晶欠陥の発生要因になるという問題がある。

【0014】II-VI族半導体レーザの素子寿命を実用レベルまで伸長させるには、製造上の歩留まり確保という

観点も含めて、面積 $1 \times 10^{-4} \text{cm}^2$ 未満程度の電流注入領域およびその周辺領域に結晶欠陥を全く存在させないことが不可である。そのためには、結晶欠陥密度を $1 \times 10^3 \text{cm}^{-2}$ 未満に抑制しなければならない。

【0015】本発明は、このような半導体結晶において、III-V族半導体とII-VI族半導体の界面に発生する結晶欠陥の密度を低減させることを目的とする。

【0016】

【課題を解決するための手段】上記目的を達成するために、本発明の第1の発明によるヘテロエピタキシャル半導体結晶は、III-V族半導体結晶上にZnTe層が形成されており、その上に少なくとも1層以上のII-VI族半導体結晶層が形成されている。前記構成においては、III-V族半導体結晶がGaAsであり、少なくとも1層以上のII-VI族半導体結晶層が少なくともZnおよびSeを構成元素とすることが好ましい。また、III-V族半導体結晶上に形成されたZnTe層の厚さが該III-V族半導体結晶に対する臨界膜厚以下であることが好ましい。

【0017】第2の発明によるヘテロエピタキシャル半導体結晶は、GaAs結晶上にBeTe層が形成されており、その上に少なくとも1層以上のII-VI族半導体結晶層が形成されている。前記構成においては、II-VI族半導体結晶層のうち少なくとも1層以上がZnTeまたはSeからなることが好ましい。また、GaAs結晶上に形成されたZnTe層の厚さがGaAsに対する臨界膜厚以下であることが好ましい。

【0018】第3の発明によるヘテロエピタキシャル半導体結晶は、III-V族半導体結晶上に形成されたII-VI族半導体結晶層からなり、II-VI族半導体結晶とIII-V族半導体結晶との界面から発生する結晶欠陥の密度を $1 \times 10^3 \text{cm}^{-2}$ 未満に低減するようなバッファ層がIII-V族半導体結晶上に備えられている。前記構成においては、III-V族半導体結晶上に形成されたバッファ層の厚さが該III-V族半導体結晶に対する臨界膜厚以下であることが好ましい。

【0019】第4の発明による半導体結晶製造装置は、分子線エピタキシーを用いる装置であって、III-V族半導体結晶を製作する第1の成長室と、II-VI族半導体結晶を製作する第2の成長室と、前記第1の成長室と第2の成長室を連結する基板移送室を有し、前記第1の成長室内にZnTe層を形成するための加熱蒸発源が備えられている。前記構成において、第1の成長室内にZnを充填した加熱蒸発源とTeを充填した加熱蒸発源が備えられていること、あるいはZnTeを充填した加熱蒸発源が備えられていることが好ましい。

【0020】第5の発明による半導体結晶製造方法は、分子線エピタキシーを用いて、第1の成長室においてGaAs基板上にGaAsエピタキシャル層を形成し、前記GaAs層上にZnTe層を形成した後、基板移送室を経て第2の成長室に搬送し、該第2の成長室において前記基板上にII-VI族半導体結晶を形成する。

【0021】第6の発明による半導体結晶製造方法は、分子線エピタキシーを用いて、第1の成長室においてInP基板上にInGaAsエピタキシャル層を形成し、前記InGaAs層上にZnTe層を形成した後、基板移送室を経て第2の成長室に搬送し、該第2の成長室において前記基板上にII-VI族半導体結晶を形成する。

【0022】第7の発明による半導体結晶製造方法は、分子線エピタキシーを用いて、第1の成長室においてGaAs基板上にGaAsエピタキシャル層を形成し、前記GaAs層上に $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($0 < x \leq 1$) 層を形成し、前記 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層上にZnTe層を形成した後、基板移送室を経て第2の成長室に搬送し、該第2の成長室において前記基板上にII-VI族半導体結晶を形成する。

【0023】第8の発明による半導体結晶製造装置は、分子線エピタキシーを用いる装置であって、III-V族半導体結晶を製作する第1の成長室と、少なくともZnTe層を形成するための加熱蒸発源が備えられた第2の成長室と、II-VI族半導体結晶を製作する第3の成長室と、前記第1の成長室と第2の成長室と第3の成長室を連結する基板移送室を有する。前記構成において、第2の成長室内に少なくともZnを充填した加熱蒸発源とTeを充填した加熱蒸発源が備えられていること、あるいは少なくともZnTeを充填した加熱蒸発源が備えられていることが好ましい。

【0024】第9の発明による半導体結晶製造方法は、分子線エピタキシーを用いて、第1の成長室においてGaAs基板上にGaAsエピタキシャル層を形成した後、基板移送室を経て該基板を第2の成長室に搬送し、前記GaAs層上に少なくともZnTe層を形成した後、基板移送室を経て該基板を第3の成長室に搬送し、該基板上にII-VI族半導体結晶を形成する。

【0025】第10の発明による半導体結晶製造方法は、分子線エピタキシーを用いて、第1の成長室においてInP基板上にInGaAsエピタキシャル層を形成した後、基板移送室を経て該基板を第2の成長室に搬送し、前記InGaAs層上に少なくともZnTe層を形成した後、基板移送室を経て該基板を第3の成長室に搬送し、該基板上にII-VI族半導体結晶を形成する。

【0026】第5、6、7、9および10の発明において、ZnTe層の厚さは基板に対する臨界膜厚以下であることが好ましい。また、第5および9の発明において、表面再構成構造が (2×4) 構造であるGaAsエピタキシャル層表面にZnTe層を形成することが好ましい。また、第5、6、7、9および10の発明において、ZnTe層を形成した後の表面再構成構造が (2×1) 構造であるGaAsエピタキシャル層表面にZnTe層を形成することが好ましい。また、第5、6、7、9および10の発明において、表面再構成構造が (2×4) 構造であるInGaAsエピタキシャル層表面にZnTe層を形成することが好ましい。

【0027】第11の発明による半導体結晶製造装置は、分子線エピタキシーを用いる装置であって、GaAs結晶を

11

作製する第1の成長室と、II-VI族半導体結晶を作製する第2の成長室と、前記第1の成長室と第2の成長室を連結する基板移送室を有し、前記第1の成長室内に、Beを充填した加熱蒸発源およびTeを充填した加熱蒸発源の少なくともいずれか一方が備えられている。

【0028】第12の発明による半導体結晶製造装置は、分子線エビタキシーを用いる装置であって、GaAs結晶を作製する第1の成長室と、Beを充填した加熱蒸発源およびTeを充填した加熱蒸発源の少なくともいずれか一方が備えられている第2の成長室と、II-VI族半導体結晶を作製する第3の成長室と、前記第1の成長室と第2の成長室と第3の成長室を連結する基板移送室を有する。

【0029】第13の発明による半導体結晶製造方法は、分子線エビタキシーを用いて、GaAs基板上にGaAsエビタキシャル層を形成し、前記GaAs層上にBe分子線を照射した後、II-VI族半導体結晶を形成する。

【0030】第14の発明による半導体結晶製造方法は、分子線エビタキシーを用いて、GaAs基板上にGaAsエビタキシャル層を形成し、前記GaAs層上にTe分子線を照射した後、II-VI族半導体結晶を形成する。

【0031】第15の発明による半導体結晶製造方法は、分子線エビタキシーを用いて、GaAs基板上にGaAsエビタキシャル層およびBeTe層を介してII-VI族半導体結晶を形成する際、II-VI族半導体結晶を作製する成長室とは異なる成長室でBeTe層を作製する。

【0032】第16の発明による半導体結晶製造装置は、分子線エビタキシーを用いる装置であって、III-V族半導体結晶を作製する第1の成長室と、II-VI族半導体結晶を作製する第2の成長室と、前記第1の成長室と第2の成長室を連結する基板移送室を有し、前記第1の成長室内にZnSe層を形成するための加熱蒸発源が備えられている。前記構成において、第1の成長室内にZnを充填した加熱蒸発源とSeを充填した加熱蒸発源とが備えられていること、あるいはZnSeを充填した加熱蒸発源が備えられていることが好ましい。また、第1の成長室内において、基板保持部とSeを充填した加熱蒸発源との間に、あるいは基板保持部とZnSeを充填した加熱蒸発源との間に分子線を遮断するバルブ機構が備えられていることが好ましい。

【0033】第17の発明による半導体結晶製造方法は、分子線エビタキシーを用いて、第1の成長室においてGaAs基板上にGaAsエビタキシャル層を形成し、前記GaAs層上にZnSe層を形成した後、基板移送室を経て第2の成長室に搬送し、該第2の成長室において前記基板上にII-VI族半導体結晶を形成する。

【0034】第18の発明による半導体結晶製造方法は、分子線エビタキシーを用いて、第1の成長室においてInP基板上にInGaAsエビタキシャル層を形成し、前記InGaAs層上にZnSe層を形成した後、基板移送室を経て第2の成長室に搬送し、該第2の成長室において前記基板上にII-

12

VI族半導体結晶を形成する。

【0035】第19の発明による半導体結晶製造方法は、分子線エビタキシーを用いて、第1の成長室においてGaAs基板上にGaAsエビタキシャル層を形成し、前記GaAs層上にAlxGa1-xAs ($0 < x \leq 1$) 層を形成し、前記AlxGa1-xAs層上にZnSe層を形成した後、基板移送室を経て第2の成長室に搬送し、該第2の成長室において前記基板上にII-VI族半導体結晶を形成する。

【0036】第20の発明による半導体結晶製造装置は、分子線エビタキシーを用いる装置であって、III-V族半導体結晶を作製する第1の成長室と、ZnSe層を形成するための加熱蒸発源が備えられた第2の成長室と、II-VI族半導体結晶を作製する第3の成長室と、前記第1の成長室と第2の成長室と第3の成長室を連結する基板移送室を有する。前記構成において、第2の成長室内にZnを充填した加熱蒸発源とSeを充填した加熱蒸発源が備えられていること、あるいはZnSeを充填した加熱蒸発源が備えられていることが好ましい。また、第2の成長室内において、基板保持部とSeを充填した加熱蒸発源との間に、あるいは基板保持部とZnSeを充填した加熱蒸発源との間に分子線を遮断するバルブ機構が備えられていることが好ましい。

【0037】第21の発明による半導体結晶製造方法は、分子線エビタキシーを用いて、第1の成長室においてGaAs基板上にGaAsエビタキシャル層を形成した後、基板移送室を経て該基板を第2の成長室に搬送し、前記GaAs層上にZnSe層を形成した後、基板移送室を経て該基板を第3の成長室に搬送し、前記ZnSe層上にII-VI族半導体結晶を形成する。

【0038】第22の発明による半導体結晶製造方法は、分子線エビタキシーを用いて、第1の成長室においてInP基板上にInGaAsエビタキシャル層を形成した後、基板移送室を経て該基板を第2の成長室に搬送し、前記InGaAs層上にZnSe層を形成した後、基板移送室を経て該基板を第3の成長室に搬送し、前記ZnSe層上にII-VI族半導体結晶を形成することと特徴とする半導体結晶製造方法。

【0039】第23の発明による半導体発光素子は、III-V族半導体基板上に形成された複数のII-VI族半導体層からなり、III-V族半導体層上にZnTe層が備えられている。前記構成においては、GaAs基板上にZnTe層が備えられていること、あるいはInP基板上にInGaAs層が備えられており、該InGaAs層上にZnTe層が備えられていること、あるいはGaAs基板上にAlxGa1-xAs ($0 < x \leq 1$) 層が備えられており、該AlxGa1-xAs層上にZnTe層が備えられていることが好ましい。また、III-V族半導体層上に形成されたZnTe層の厚さが該III-V族半導体に対する臨界膜厚以下であることが好ましい。

【0040】第24の発明による半導体発光素子は、GaAs基板上に形成された複数のII-VI族半導体層からなる半導体発光素子であって、GaAs層上にBeTe層が備えられ

13

いる。前記構成においては、GaAs層上に形成されたBeTe層の厚さがGaAsに対する臨界膜厚以下であることが好ましい。

【0041】第25の発明による半導体発光素子は、III-V族半導体基板上に形成された複数のII-V族半導体層からなり、活性層に存在する結晶欠陥の密度を $1 \times 103 \text{ cm}^{-2}$ 未満に低減するようなバッファ層がIII-V族半導体層上に備えられている。前記構成においては、III-V族半導体層上に形成されたバッファ層の厚さが該III-V族半導体に対する臨界膜厚以下であることが好ましい。

【0042】第26の発明による半導体発光素子は、p型III-V族半導体基板上に形成された複数のII-V族半導体層からなり、p型III-V族半導体層上に、Zn、Cd、BeおよびMgのうちの1種類以上の元素とS、SeおよびTeのうちの1種類以上の元素とからなる1組以上の超格子バッファ層を有し、該バッファ層の少なくとも一部にTeを含む。

【0043】第27の発明による半導体発光素子は、p型III-V族半導体基板上に形成された複数のII-V族半導体層からなり、p型III-V族半導体層上に、Zn、Cd、BeおよびMgのうちの1種類以上の元素とS、SeおよびTeのうちの1種類以上の元素とからなる1層以上の混晶層および1層以上のZnTe層からなるバッファ層を有する。

【0044】第28の発明による半導体発光素子は、p型III-V族半導体基板上に形成された複数のII-V族半導体層からなり、p型III-V族半導体層上に、1層以上のp型ZnSe層と1層以上のp型BeTe層からなるバッファ層を有する。

【0045】第29の発明による光ディスク装置は、第23～28のうちいずれかの発明による半導体レーザと、前記半導体レーザから出射したレーザ光を記録媒体に集光する集光光学系と、前記記録媒体からの反射光を受光する光検出器とを備えている。前記構成において、レーザ光により記録媒体の情報を読み取ること、半導体レーザの近傍に光検出器が設置されていること、光検出器はSiにより構成され、Si表面に半導体レーザチップが設置されていること、半導体レーザチップはSi主面に形成された凹部に配置され、出射したレーザ光はSiに形成されたマイクロミラーにより反射されてSi主面に対してほぼ垂直方向に進むこと、マイクロミラーの表面には金属薄膜が形成されていること、および、金属薄膜がAgあるいはAlからなることが好ましい。

【0046】

【発明の実施の形態】以下本発明によるヘテロエピタキシャル半導体結晶、その製造方法、その製造装置、半導体発光素子およびこれを用いた光ディスク装置の実施の形態を詳細に説明する。

【0047】(実施の形態1) 図1は第1の発明によるヘテロエピタキシャル半導体結晶の実施の形態を模式的に示す構造断面図である。半絶縁性GaAs(100)基板101上に、GaAsバッファ層102、ZnTeバッファ層103、ZnSeバッ

14

ファ層104、n型ZnMgSSe層105が順次積層されている。

【0048】基板として用いるIII-V族化合物半導体結晶は本実施の形態で示したGaAs以外に、InP、GaP、InGaAs等が挙げられる。基板の電導型については、n型、p型あるいは半絶縁性であってもよい。基板面方位については本実施の形態では(100)面を用いたが、(100)面から[111]Aあるいは[111]B方向へ傾斜した面を用いてもよい。例えば、[111]B方向へ 15.8° 傾斜した(511)B面を用いることができる。

【0049】基板上にエピタキシャル成長されるII-VI族化合物半導体結晶の組成は、基板との界面でミスフィット転位が発生しないよう、基板にほぼ格子整合する組成を選ぶことが好ましい。GaAs、InGaAsおよびGaP基板の場合には、例えばZnMgSSe系やZnMgBeSe系が選ばれる。InP基板の場合には、例えばZnCdMgSe系やZnMgSeTe系が選ばれる。また、基板との格子不整の大きい組成を用いる場合は、その層の厚さが臨界膜厚を越えないように選ぶことが好ましい。

【0050】GaAsバッファ層102は、原子配列のレベルで表面を平坦化し、その上に積層されるII-VI族化合物半導体の結晶欠陥の密度を低減し、高品質なヘテロエピタキシャル結晶を得るために設けられる。厚さは例えば0.3nmである。n型不純物としては例えばSiが、p型不純物としては例えばZnが用いられる。

【0051】ZnTeバッファ層103は、II-VI族化合物半導体の成長初期過程において成長雰囲気中のSやSeが直接GaAsバッファ層102に付着してGa-Se結合やGa-S結合を形成して結晶欠陥となり、ヘテロエピタキシャル結晶の結晶品質が低下するのを防ぐために設けられる。ZnTeは格子定数が0.61024nmであり、GaAsに対して $+7.9\%$ の格子不整があるため、臨界膜厚は5nmつまり16分子層程度である。そのためZnTeバッファ層103の厚さは、例えば1.2nmつまり4分子層以上に選ばれる。

【0052】ZnSeバッファ層104は、その上に形成されるn型ZnMgSSe層105の成長初期過程において2次元核生成・成長を促進させるために設けられる。ZnSeは格子定数が0.56693nmであり、GaAsに対して $+0.28\%$ の格子不整があるため、臨界膜厚は150nm程度である。そのためZnSeバッファ層104の厚さは、例えば30nmに選ばれる。

【0053】n型ZnMgSSe層105の組成はMg混晶比0.1、S混晶比0.2であり、この組成を有するZnMgSSeはGaAsと格子整合する。また、室温でのバンドギャップは2.86eVである。ZnMgSSeはその組成を選ぶことにより、GaAsと格子整合させながら、バンドギャップを2.7eVから3.1eV程度の間で変化させることができる。n型ZnMgSSe層105の厚さは例えば1.5nm、有効ドナー密度は例えば $3 \times 10^{17} \text{ cm}^{-3}$ であり、n型不純物としては例えばClが用いられる。本実施の形態ではその層のみn型不純物を添加したが、フォトルミネッセンススペクトルや蛍光顕微鏡による結晶品質の評価を容易に行うためであり、この層に限らず

15

各層の不純物はn型であっても、p型であっても、また無添加であってもかまわず、不純物密度が 10^{19}cm^{-3} 程度以下であれば結晶品質の低下はない。

【0054】上記ヘテロエピタキシャル半導体結晶の製造方法としては、分子鋳エピタキシー（以下、MBEと略す）法や有機金属気相成長（以下、MOVPEと略す）法が挙げられる。 1nm/h 程度の成長速度を用いた場合、ZnTeバッファ層103は5〜10秒以内で形成されることがなるが、層厚の制御は成長時間の制御により十分なされる。分子層あるいは原子層レベルの精密な制御が必要な場合は、高速電子線回折による成長表面のモニタや、原子層エピタキシー（以下、ALEと略す）法あるいはマイグレーションエンハンスドエピタキシー（以下、MEEと略す）法を適宜併用することができる。

【0055】上記構成のヘテロエピタキシャル半導体結晶の表面を蛍光顕微鏡により観察したところ、結晶欠陥に起因する非発光領域が暗点として存在し、その密度は $4.3 \times 10^2\text{cm}^{-2}$ であった。また、0.2%ブロムメタノールまたは濃塩酸で結晶表面をエッチングしたところ、エッチピットが観察され、その密度は前述の暗点密度と一致した。エッチピットを透過電子顕微鏡で観察したところ、II-VI半導体層とGaAs層との界面から発生し、(111)面上に[011]方向に伸びる積層欠陥が存在した。

【0056】一方、比較のため、図2に構造を示したZnTeバッファ層のない従来構成のヘテロエピタキシャル半導体結晶に対して同様の評価を行ったところ、同様の積層欠陥が存在し、その密度は $3.6 \times 10^3\text{cm}^{-2}$ であった。また、室温におけるバンド端発光強度を比較すると、本発明によるヘテロエピタキシャル半導体結晶の方が約2.8倍大きかった。なお、2結晶X線 rocking カープの半値幅はいずれも20arc secであった。

【0057】TeがSeとSとなり積層欠陥の発生を抑制する理由は定かではないが、TeはSやSeに比べて蒸気圧が低いこと、また積層欠陥の核となる可能性のあるGa-Te結合は、Ga-S結合やGa-Se結合に比べて結合エネルギーが小さく、化学的に不安定であること等から、Ga-Te結合が形成されにくいためであると考えられる。

【0058】以上のことから、本実施の形態によれば、II-VI族半導体ヘテロエピタキシャル結晶の積層欠陥密度を低減させることができる。そのため、これらの結晶を応用して構成される発光ダイオード、半導体レーザ、光変調器、非線形光学素子、光スイッチ、フォトダイオード、その他の受発光素子等のオプトエレクトロニクス素子は、動作中の劣化が抑制され高い信頼性を得ることができる。

【0059】（実施の形態2）第2の発明によるヘテロエピタキシャル半導体結晶は、前掲の図1に示したヘテロエピタキシャル半導体結晶におけるZnTeバッファ層103の代わりにBeTeバッファ層が、またn型ZnMgSSe層105の代わりにn型ZnMgBeSe層が積層されているものである。

16

【0060】以下、第2の発明によるヘテロエピタキシャル半導体結晶の実施の形態として、前述した実施の形態1と異なる点についてのみ述べる。

【0061】BeTeバッファ層は、II-VI族化合物半導体の成長初期過程において成長雰囲気中のSやSeが直接GaSバッファ層に付着してGa-Se結合やGa-S結合を形成して結晶欠陥となり、ヘテロエピタキシャル結晶の結晶品質が低下するのを防ぐために設けられる。BeTeは格子定数が 0.56269nm であり、GaAsに対して -0.47% の格子不整合があるため、臨界膜厚は90nm程度である。そのためBeTeバッファ層の厚さは、例えば20nmに選ばれる。

【0062】n型ZnMgBeSe層の組成はMg混晶比0.1、Be混晶比0.1であり、この組成を有するZnMgBeSeはGaAsとほぼ格子整合する。また、室温でのバンドギャップは2.89 eVである。ZnMgBeSeはその組成を選ぶことにより、GaAsと格子整合させながら、バンドギャップを2.7 eVから3.2 eV程度の間で変化させることができる。n型ZnMgBeSe層の厚さは例えば1.5nm、有効ドナー密度は例えば $5 \times 10^{17}\text{cm}^{-3}$ であり、n型不純物としては例えばClが用いられる。

【0063】上記構成の半導体結晶について実施の形態1で述べた結晶欠陥の評価を行ったところ、積層欠陥密度は $6.7 \times 10^2\text{cm}^{-2}$ であった。

【0064】BeTeがZnSe等と異なり積層欠陥の発生を抑制する理由は定かではないが、TeはSやSeに比べて蒸気圧が低いこと、また積層欠陥の核となる可能性のあるGa-Te結合は、Ga-S結合やGa-Se結合に比べて結合エネルギーが小さく、化学的に不安定であること、またBeはZnに比べて付着係数が高いこと等から、Ga-Te結合が形成されにくいためであると考えられる。また、II-VI族半導体はイオン結合性が高く、積層欠陥生成エネルギーが低いために積層欠陥が発生しやすいと考えられるが、Beは共有結合性が高いので、積層欠陥の発生を抑制する効果があると考えられる。

【0065】なお、実施の形態1および2で述べたZnTeバッファ層およびBeTeバッファ層以外にも、II-VI族半導体結晶とII-III族半導体結晶との界面から発生する結晶欠陥の密度を $1 \times 10^3\text{cm}^{-2}$ 未満に低減する作用を有するバッファ層材料があれば、それをII-III族半導体結晶上に備えることができる。

【0066】（実施の形態3）図3は第4の発明による半導体結晶製造装置（MBC装置）の実施の形態を模式的に示す概念図である。このMBC装置は、ロードロック室301、II-III族半導体成長室302、基板移送室303およびII-VI族半導体成長室304により構成される。各室はゲートバルブにより仕切られており、それぞれに排気装置を備え、ロードロック室301を除いて真空度は 10^{-10}Torr 台に保たれる。成長室は少なくとも基板保持加熱機構305と加熱蒸発源306〜312を備えており、さらに高速電子線回折像観察装置、残留ガス分析装置および基板温度の測定

手段等も付加される。

【0067】例えば、図1に示したヘテロエピタキシャル半導体結晶を製造するためには、III-V族半導体成長室302には例えばGaを充填した加熱蒸発源306、Asを充填した加熱蒸発源307およびZnTeを充填した加熱蒸発源308が備えられ、II-VI族半導体成長室304には例えばZnSeを充填した加熱蒸発源309、ZnSを充填した加熱蒸発源310、Mgを充填した加熱蒸発源311およびFzC12を充填した加熱蒸発源312が備えられる。本実施の形態では、III-V族半導体成長室302にZnTeを充填した加熱蒸発源308を備えたが、この代わりにZnを充填した加熱蒸発源およびTeを充填した加熱蒸発源を備えてもかまわない。また同様に、II-VI族半導体成長室304におけるZnSeを充填した加熱蒸発源309やZnSを充填した加熱蒸発源310の代わりに、Znを充填した加熱蒸発源およびSeを充填した加熱蒸発源やSを充填した加熱蒸発源を備えてもかまわない。

【0068】このMBE装置では、III-V族半導体成長室302において基板上にIII-V族半導体結晶を形成した直後、Te以外のVI族分子が存在しない雰囲気中でZnTe層を形成することができ、II-VI族半導体とGaAsとの界面におけるGa-Se結合やGa-S結合の形成を阻止し、これらに起因する積層欠陥の発生を抑制できる。

【0069】なお、III-V族半導体に対してII族元素はp型不純物として、またVI族元素はn型不純物として作用するので、III-V族半導体成長室にII族およびVI族の加熱蒸発源を備えることは不純物密度制御に関して懸念されるが、例えばII-VI族半導体発光素子におけるIII-V族半導体バッファ層の不純物密度制御に関しては全く問題ないことを確認した。

【0070】(実施の形態4) 第5の発明による半導体結晶製造方法(MBE法)を、図1に示したヘテロエピタキシャル半導体結晶の製造に即して図3を用いて説明する。基板には半絶縁性GaAs(100)基板101を用いた。基板はロードロック室301において350℃でプリベークされた後、基板移送室303を経てIII-V族半導体成長室302に搬送される。III-V族半導体成長室302において、Asを充填した加熱蒸発源307よりAs分子線を照射しながらGaAs基板101を約600℃まで加熱して自然酸化膜の除去を行った後、GaおよびAs分子線を照射することによりGaAsバッファ層102(層厚0.3nm)を成長させた。GaおよびAs分子線強度をそれぞれ5×10⁻⁷Torrおよび1×10⁻⁵Torrとし、基板温度を590℃とした。成長速度は0.9nm/hであった。

【0071】GaAsバッファ層102の成長後、基板温度を270℃まで下げてGaAsバッファ層102の表面にZnTeを充填した加熱蒸発源308から分子線を照射することにより、ZnTeバッファ層103(層厚1.2nm)を形成した。加熱蒸発源308からの分子線強度は1×10⁻⁷Torr、成長時間は6秒間とした。表面再構成構造はGaAsのAs安定化面を示す(2×4)構造からZnTeの成長開始と同時にTe安定化面を示す(2×1)構造に変化することが高速電子線回折により確

認された。

【0072】GaAsバッファ層102およびZnTeバッファ層103を形成した基板101を基板移送室303を経てII-VI族半導体成長室304に搬送した。基板移送室303の真空度は1×10⁻¹⁰Torrであった。II-VI族半導体成長室304において、ZnTeバッファ層103上にZnSeバッファ層104(層厚30nm)およびn型ZnMgSSe層105(層厚1.5nm、有効ドナー密度3×10¹⁷cm⁻³)を積層した。n型不純物原料としてZnCl₂を用いた。n型ZnMgSSe層105成長中の基板温度は290℃、成長速度は0.7nm/hとした。一般に、MBE法によるII-VI族半導体結晶成長中の基板温度は200〜350℃に維持されることが好ましく、成長速度は0.4〜3.0nm/hが好ましい。

【0073】上記構成の半導体結晶の積層欠陥密度は4.3×10²cm⁻²であった。

(実施の形態5) 第6の発明による半導体結晶製造方法により図4に示したヘテロエピタキシャル半導体結晶を成長させた。基板には半絶縁性InP(100)基板401を用いた。基板はロードロック室において350℃でプリベークされた後、基板移送室を経てII-VI族半導体成長室に搬送される。III-V族半導体成長室には加熱蒸発源としてIn、Ga、AsおよびZnTeが備えられている。Asを充填した加熱蒸発源よりAs分子線を照射しながらInP基板401を520℃まで加熱して自然酸化膜の除去を行った後、In、GaおよびAsの分子線を照射することによりInGaAsバッファ層402(層厚0.5nm)を成長させた。In混晶比は0.47であり、この組成はInPとほぼ格子整合する。InGaAsバッファ層402は、原子配列のレベルで表面を平坦化し、その上に積層されるII-VI族化合物半導体の結晶欠陥の密度を低減し、高品質なヘテロエピタキシャル結晶を得るために設けられる。In、GaおよびAs分子線強度はそれぞれ3×10⁻⁷、3×10⁻⁷および1×10⁻⁵Torrとした。

【0074】InGaAsバッファ層402の成長後、基板温度を300℃まで下げてInGaAsバッファ層402の表面にZnTeを充填した加熱蒸発源から分子線を照射することにより、ZnTeバッファ層403を形成した。ZnTeはInPに対して+4.0%の格子不整合があるため、境界層厚は10nm程度である。そのためZnTeバッファ層403の厚さは、例えば3nmつまり10分子層に選ばれる。加熱蒸発源からの分子線強度は1×10⁻⁷Torr、成長時間は25秒間とした。表面再構成構造はInGaAsの(2×4)構造からZnTeの成長開始と同時にTe安定化面を示す(2×1)構造に変化することが高速電子線回折により確認された。

【0075】InGaAsバッファ層402およびZnTeバッファ層403を形成した基板401を基板移送室を経てII-VI族半導体成長室に搬送した。基板移送室の真空度は1×10⁻¹⁰Torrであった。II-VI族半導体成長室には加熱蒸発源として例えばZnSe、Cd、MgおよびFzC12が備えられている。II-VI族半導体成長室において、ZnTeバッファ層403上にZnSeバッファ層404およびn型ZnCdMgSe層405を積層

19

した。ZnSeバッファ層404は、その上に形成されるn型ZnMgCdSe層405の成長初期過程において2次元核生成・成長を促進させるために設けられる。ZnSeはInPに対して3.4%の格子不整があるため、臨界面厚は12nm程度である。そのためZnSeバッファ層404の厚さは、例えば7nmに選ばれる。

【0076】 n型ZnCdMgSe層405の組成はCd混比0.38、Mg混比0.27であり、この組成を有するZnCdMgSeはInPと格子整合する。また、室温でのバンドギャップは2.5eVである。ZnCdMgSeはその組成を選ぶことにより、InPと格子整合させながら、バンドギャップを2.2eVから2.9eV程度の間で変化させることができる。n型ZnCdMgSe層405の厚さは例えば1.5nm、有効ドナー密度は例えば $2 \times 10^{17} \text{ cm}^{-3}$ である。n型不純物原料にはZnCl₂を用いた。本実施の形態ではこの層のみn型不純物を添加したが、フォトルミネッセンススペクトルや蛍光顕微鏡による結晶品質の評価を容易に行うためであり、この層に限らず各層の不純物はn型であっても、p型であっても、また無添加であってもかまわず、不純物密度が 10^{19} cm^{-3} 程度以下であれば結晶品質の低下はない。

【0077】 上記構成の半導体結晶について実施の形態1で述べた結晶欠陥の評価を行ったところ、積層欠陥密度は $7.3 \times 10^2 \text{ cm}^{-2}$ であった。

【0078】 (実施の形態6) 第7の発明による半導体結晶製造方法により図5に示したヘテロエピタキシャル半導体結晶を成長させた。基板には半絶縁性GaAs(100)基板501を用いた。基板はロードロック室において350℃でブリークされた後、基板移送室を経てIII-V族半導体成長室に搬送される。III-V族半導体成長室には加熱蒸発源としてAl、Ga、As、ZnおよびTeが備えられている。As分子線を照射しながらGaAs基板501を約600℃まで加熱して自然酸化膜の除去を行った後、GaおよびAs分子線を照射することによりGaAsバッファ層502(層厚0.3nm)を成長させた。引き続きAl、GaおよびAs分子線を照射することによりAlGaAsバッファ層(層厚0.2nm)503を成長させた。Al混比は0.3である。

【0079】 AlGaAsバッファ層503の成長後、基板温度を300℃まで下げてAlGaAsバッファ層503の表面にZnおよびTe分子線を照射することにより、ZnTeバッファ層504(層厚1.2nm)を形成した。成長時間は10秒間とした。表面再構成構造はAlGaAsの(2×4)構造からZnTeの成長開始と同時にTe安定化面を示す(2×1)構造に変化することが高速電子線回折により確認された。また本実施の形態においては、ZnTeバッファ層504の成長用原料としてZnおよびTeを用いているので、Zn分子線とTe分子線を交互に供給してZn原子層とTe原子層を1層ずつ成長させるALE法あるいはMEE法により原子層レベルで精密にバッファ層を成長させることができる。以上の方法により化学的に活性なAlGaAs表面がZnTe層によって不活性化されるため、基板搬送中に起こる汚染不純物の付着が抑制さ

20

れ、III-V族半導体とAlGaAsとの界面における積層欠陥の発生を抑制することができる。

【0080】 ZnTeバッファ層504を形成した基板501を基板移送室を経てIII-V族半導体成長室に搬送した。基板移送室の真空度は $1 \times 10^{-10} \text{ Torr}$ であった。III-V族半導体成長室には加熱蒸発源として例えばZnSe、ZnS、MgおよびZnCl₂が備えられている。III-V族半導体成長室において、ZnTeバッファ層504上にZnSeバッファ層505(層厚30nm)およびn型ZnMgS_{0.5}Se層506(層厚1.5nm、有効ドナー密度 $3 \times 10^{17} \text{ cm}^{-3}$)を積層した。n型不純物原料としてZnCl₂を用いた。n型ZnMgS_{0.5}Se層506成長中の基板温度は290℃、成長速度は0.7nm/hとした。

【0081】 上記構成の半導体結晶について実施の形態1で述べた結晶欠陥の評価を行ったところ、積層欠陥密度は $8.5 \times 10^2 \text{ cm}^{-2}$ であった。

【0082】 (実施の形態7) 図6は第8の発明による半導体結晶製造装置の実施の形態を模式的に示す概念図である。このMBE装置は、ロードロック室601、III-V族半導体成長室602、基板移送室603、ZnTe成長室604およびIII-V族半導体成長室605により構成される。各室はゲートバルブにより仕切られており、それぞれに排気装置を備え、ロードロック室601を除いて真空度は 10^{-10} Torr に保たれる。成長室は少なくとも基板保持加熱機構606と加熱蒸発源607〜613を備えており、さらに高速電子線回折検察装置、残留ガス分析装置および基板温度の測定手段等も付加される。

【0083】 例えば、図1に示したヘテロエピタキシャル半導体結晶を製造するためには、III-V族半導体成長室602には例えばGaを充填した加熱蒸発源607およびAsを充填した加熱蒸発源608が備えられ、ZnTe成長室604には例えばZnTeを充填した加熱蒸発源609が備えられ、III-V族半導体成長室605には例えばZnSeを充填した加熱蒸発源610、ZnSを充填した加熱蒸発源611、Mgを充填した加熱蒸発源612およびZnCl₂を充填した加熱蒸発源613が備えられる。本実施の形態では、ZnTe成長室604にZnTeを充填した加熱蒸発源609を備えたが、この代わりにZnを充填した加熱蒸発源およびTeを充填した加熱蒸発源を備えてもかまわない。また同様に、III-V族半導体成長室605に例えばZnSeを充填した加熱蒸発源610やZnSを充填した加熱蒸発源611の代わりに、Znを充填した加熱蒸発源およびSを充填した加熱蒸発源を備えてもかまわない。

【0084】 このMBE装置では、III-V族半導体成長室602において基板上にIII-V族半導体結晶を形成した後、V族分子およびTe以外のVI族分子が存在しない雰囲気中でZnTe層を形成することのできるZnTe成長室604へ基板を搬送できるので、III-V族半導体とGaAsとの界面におけるGa-Se結合やGa-S結合の形成を阻止し、これらに起因する積層欠陥の発生を抑制できる。

【0085】 なお、ZnTe成長室604にZnTe成長用以外の

21

加熱蒸発源を備えてもよい。例えばZnSeを形成するために、ZnSeを充填した加熱蒸発源を備えることができる。このとき、ZnTe成長室604の雰囲気中にSe分子を存在させないよう、基板保持加熱機構606とZnSeを充填した加熱蒸発源との間にSeの分子線を遮断するバルブ機構を設けることが好ましい。

【0086】(実施の形態8) 第9の発明による半導体結晶製造方法を、図1に示したヘテロエピタキシャル半導体結晶の製造に即して図6を用いて説明する。基板には半絶縁性GaAs(100)基板101を用いた。基板はロードロック室601において350℃でプリベークされた後、基板移送室603を経てIII-V族半導体成長室602に搬送される。III-V族半導体成長室602において、Asを充填した加熱蒸発源608よりAs分子線を照射しながらGaAs基板101を約600℃まで加熱して自然酸化膜の除去を行った後、GaおよびAs分子線を照射することによりGaAsバッファ層102(層厚0.3mm)を成長させた。GaおよびAs分子線強度をそれぞれ 5×10^{-7} および 1×10^{-5} Torrとし、基板温度を590℃とした。成長速度は0.9mm/hであった。

【0087】GaAsバッファ層102を形成した基板101を基板移送室603を経てZnTe成長室604に搬送した。基板移送室603の真空度は 1×10^{-10} Torrであった。基板温度270℃でGaAsバッファ層102の表面にZnTeを充填した加熱蒸発源609から分子線を照射することにより、ZnTeバッファ層103(層厚1.2nm)を形成した。加熱蒸発源609からの分子線強度は 1×10^{-7} Torr、成長時間は6秒間とした。表面再構成構造はGaAsの(2×4)構造からZnTeの成長開始と同時に(2×1)構造に変化することが高速電子線回折により確認された。

【0088】ZnTeバッファ層103を形成した基板101を基板移送室603を経てII-VI族半導体成長室605に搬送した。II-VI族半導体成長室605において、ZnTeバッファ層103上にZnSeバッファ層104(層厚30nm)およびn型ZnMgSe層105(層厚1.5mm、有効ドナー密度 $\times 10^{17}$ cm⁻³)を積層した。n型不純物原料としてZnCl₂を用いた。n型ZnMgSe層105成長中の基板温度は290℃、成長速度は0.7mm/hとした。

【0089】上記構成の半導体結晶について実施の形態1で述べた結晶欠陥の評価を行ったところ、積層欠陥密度は 3.6×10^2 cm⁻²であった。

【0090】(実施の形態9) 第10の発明による半導体結晶製造方法により図4に示したヘテロエピタキシャル半導体結晶を成長させた。基板には半絶縁性InP(100)基板401を用いた。基板はロードロック室において350℃でプリベークされた後、基板移送室を経てIII-V族半導体成長室に搬送される。III-V族半導体成長室には加熱蒸発源としてIn、GaおよびAsが備えられている。Asを充填した加熱蒸発源よりAs分子線を照射しながらInP基板401を520℃まで加熱して自然酸化膜の除去を行った後、In、GaおよびAsの分子線を照射することによりInGaAsバ

22

ッファ層402(層厚0.5mm)を成長させた。In混晶比は0.47であり、この組成はInPとほぼ格子整合する。InGaAsバッファ層402は、原子配列のレベルで表面を平坦化し、その上に積層されるII-VI族化合物半導体の結晶欠陥の密度を低減し、高品質なヘテロエピタキシャル結晶を得るために設けられる。In、GaおよびAs分子線強度はそれぞれ 3×10^{-7} 、 3×10^{-7} および 1×10^{-5} Torrとした。

【0091】InGaAsバッファ層402を形成した基板401を基板移送室を経てZnTe成長室に搬送した。基板移送室の真空度は 1×10^{-10} Torrであった。ZnTe成長室には加熱蒸発源として例えばZnおよびTeが備えられている。InGaAsバッファ層402の表面にZnを充填した加熱蒸発源およびTeを充填した加熱蒸発源からZnおよびTe分子線を照射することにより、ZnTeバッファ層403(層厚3nm)を形成した。基板温度は270℃、成長時間は15秒間とした。表面再構成構造はInGaAsの(2×4)構造からZnTeの成長開始と同時に(2×1)構造に変化することが高速電子線回折により確認された。

【0092】ZnTeバッファ層403を形成した基板401を基板移送室を経てII-VI族半導体成長室に搬送した。II-VI族半導体成長室には加熱蒸発源として例えばZnSe、Cd、MgおよびZnCl₂が備えられている。II-VI族半導体成長室において、ZnTeバッファ層403上にZnSeバッファ層404(層厚7nm)およびn型ZnCdMgSe層405(層厚1.5mm、有効ドナー密度 $\times 10^{17}$ cm⁻³)を積層した。n型不純物原料にはZnCl₂を用いた。

【0093】上記構成の半導体結晶について実施の形態1で述べた結晶欠陥の評価を行ったところ、積層欠陥密度は 6.2×10^2 cm⁻²であった。

【0094】(実施の形態10) 第11の発明による半導体結晶製造装置は、前掲の図3に示した半導体結晶製造装置におけるZnTeを充填した加熱蒸発源308の代わりにBeを充填した加熱蒸発源およびTeを充填した加熱蒸発源が、ZnSeを充填した加熱蒸発源310の代わりにBeを充填した加熱蒸発源が備えられているものである。

【0095】例えば、実施の形態2に示したヘテロエピタキシャル半導体結晶を製造するためには、III-V族半導体成長室には加熱蒸発源としてGa、As、BeおよびTeがそれぞれ充填され、II-VI族半導体成長室には加熱蒸発源として例えばZnSe、Mg、BeおよびZnCl₂が充填される。

【0096】このMBE装置では、III-V族半導体成長室においてGaAs基板上にGaAs結晶を形成した直後、Te以外のVI族分子が存在しない雰囲気中でBe分子線、Te分子線を照射することやBeTe層を形成することができるので、II-VI族半導体とGaAsとの界面におけるGa-Se結合の形成を阻止し、またBeの添加によりII-VI族半導体の共有結合性が高まり、積層欠陥の発生を抑制できる。

【0097】(実施の形態11) 第12の発明による半導体結晶製造装置は、前掲の図6に示した半導体結晶製造装置

23

置におけるZnTe成長室604の代わりにBeを充填した加熱蒸発源およびTeを充填した加熱蒸発源が備えられている成長室を有し、ZnTeを充填した加熱蒸発源609の代わりにBeを充填した加熱蒸発源およびTeを充填した加熱蒸発源が、ZnSを充填した加熱蒸発源611の代わりにBeを充填した加熱蒸発源が備えられているものである。

【0098】例えば、実施の形態2に示したヘテロエピタキシャル半導体結晶を製造するために、III-V族半導体成長室には加熱蒸発源としてBeおよびAsが充填され、II-VI族半導体成長室には加熱蒸発源として例えばZnSe、Mg、BeおよびZnCl₂が充填され、これらとは異なる成長室には加熱蒸発源としてBeおよびTeが充填される。

【0099】このMBE装置では、III-V族半導体成長室においてGaAs基板上にGaAs結晶を形成した後、Te以外のVI族分子が存在しない雰囲気中でBe分子線、Te分子線を照射することやBeTe層を形成することのできる成長室へ搬送できるので、II-VI族半導体とGaAsとの界面におけるGa-Se結合の形成を阻止し、またBeの添加によりII-VI族半導体の共有結合性が高まり、積層欠陥の発生を抑制できる。

【0100】(実施の形態12) 第13の発明による半導体結晶製造方法の実施の形態は、実施の形態10に示したようなMBE装置を用いて、GaAs基板上にGaAsエピタキシャル層を形成し、同じ成長室でBe分子線を照射した後、II-VI族半導体成長室に基板を搬送してII-VI族半導体を形成するものである。基板には半絶縁性GaAs(100)基板を用いた。基板はロードロック室において350℃でプリベークされた後、基板移送室を経てIII-V族半導体成長室に搬送される。III-V族半導体成長室において、As分子線を照射しながらGaAs基板を約600℃まで加熱して自然酸化膜の除去を行った後、GaおよびAs分子線を照射することによりGaAsバッファ層(層厚0.3nm)を成長させた。GaおよびAs分子線強度をそれぞれ 1.5×10^{-7} および 1×10^{-5} Torrとし、基板温度を590℃とした。成長速度は0.9nm/hであった。

【0101】GaAsバッファ層の成長後、基板温度を300℃まで下げてGaAsバッファ層の表面にBeを充填した加熱蒸発源からBe分子線を照射した。Be分子線強度は 3×10^{-8} Torr、照射時間は30秒間とした。表面再構成構造はGaAsのAs安定化面を示す(2×4)構造がBe分子線照射により(1×4)構造に変化することが高速電子線回折により確認された。GaAsバッファ層上に2〜3原子層以下のBe層が形成されたと考えられる。

【0102】GaAsバッファ層上にBeを照射した基板を基板移送室を経てII-VI族半導体成長室に搬送した。II-VI族半導体成長室において、Beを照射した基板上にZnSeバッファ層(層厚30nm)およびn型ZnMgBeSe層(層厚1.5nm、有効ドナー密度 5×10^{17} cm⁻³)を積層した。n型不純物原料としてZnCl₂を用いた。n型ZnMgBeSe層成長中の基板温度は300℃、成長速度は0.7nm/hとした。

24

【0103】上記構成の半導体結晶について実施の形態1で述べた結晶欠陥の評価を行ったところ、積層欠陥密度は 5.1×10^2 cm⁻²であった。この半導体結晶製造方法では、GaAs結晶を形成した直後、VI族分子が存在しない雰囲気中でBe分子線を照射することのできるで、II-VI族半導体とGaAsとの界面におけるGa-Se結合の形成を阻止し、またBeの添加によりII-VI族半導体の共有結合性が高まり、積層欠陥の発生を抑制できる。

【0104】(実施の形態13) 第14の発明による半導体結晶製造方法の実施の形態は、実施の形態10に示したようなMBE装置を用いて、GaAs基板上にGaAsエピタキシャル層を形成し、同じ成長室でTe分子線を照射した後、II-VI族半導体成長室に基板を搬送してII-VI族半導体を形成するものである。以下、前述した実施の形態12と異なる点について述べる。

【0105】GaAsバッファ層の成長後、基板温度を300℃まで下げてGaAsバッファ層の表面にTeを充填した加熱蒸発源からTe分子線を照射した。Te分子線強度は 1×10^{-7} Torr、照射時間は1分間とした。表面再構成構造はGaAsのAs安定化面を示す(2×4)構造がTe分子線照射により(2×1)構造に変化することが高速電子線回折により確認された。GaAsバッファ層上に2〜3原子層以下のTe層が形成されたと考えられる。

【0106】GaAsバッファ層上にTeを照射した基板を基板移送室を経てII-VI族半導体成長室に搬送した。II-VI族半導体成長室において、Teを照射した基板上にZnSeバッファ層(層厚30nm)およびn型ZnMgBeSe層(層厚1.5nm、有効ドナー密度 5×10^{17} cm⁻³)を積層した。n型不純物原料としてZnCl₂を用いた。n型ZnMgBeSe層成長中の基板温度は300℃、成長速度は0.7nm/hとした。

【0107】上記構成の半導体結晶について実施の形態1で述べた結晶欠陥の評価を行ったところ、積層欠陥密度は 8.8×10^2 cm⁻²であった。この半導体結晶製造方法では、GaAs結晶を形成した直後、Te以外のVI族分子が存在しない雰囲気中でTe分子線を照射することのできるで、II-VI族半導体とGaAsとの界面におけるGa-Se結合の形成を阻止し、またBeの添加によりII-VI族半導体の共有結合性が高まり、積層欠陥の発生を抑制できる。

【0108】(実施の形態14) 第15の発明による半導体結晶製造方法の実施の形態は、実施の形態11に示したようなMBE装置を用いて、GaAs基板上にGaAsエピタキシャル層を形成し、Beを充填した加熱蒸発源およびTeを充填した加熱蒸発源が備えられている成長室でBeTeバッファ層を形成した後、II-VI族半導体成長室に基板を搬送してII-VI族半導体を形成するものである。基板には半絶縁性GaAs(100)基板を用いた。基板はロードロック室において350℃でプリベークされた後、基板移送室を経てIII-V族半導体成長室に搬送される。III-V族半導体成長室において、As分子線を照射しながらGaAs基板を約600℃まで加熱して自然酸化膜の除去を行った後、GaAsバ

25

ツッパ層(層厚0.3mm)を成長させた。

【0109】GaAsバッファ層を形成した基板を基板移送室を経てBeTe成長室に搬送し、GaAsバッファ層上にBe分子線およびTe分子線を照射することにより、BeTeバッファ層(層厚20nm)を形成した。基板温度は280℃とした。表面再構成構造はGaAsのAs安定化面を示す(2×4)構造がBeTeの成長開始と同時にAs安定化面を示す(2×1)構造に変化することが高速電子線回折により確認された。

【0110】GaAsバッファ層上にBeTeバッファ層を形成した基板を基板移送室を経てII-V族半導体成長室に搬送した。II-V族半導体成長室において、BeTeバッファ層上にZnSeバッファ層(層厚30nm)およびn型ZnMgBeSe層(層厚1.5mm、有効ドナー密度 $5 \times 10^{17} \text{cm}^{-3}$)を積層した。n型不純物原料としてZnCl₂を用いた。n型ZnMgBeSe層成長中の基板温度は300℃、成長速度は0.7nm/hとした。

【0111】上記構成の半導体結晶について実施の形態1で述べた結晶欠陥の評価を行ったところ、積層欠陥密度は $4.7 \times 10^2 \text{cm}^{-2}$ であった。この半導体結晶製造方法では、GaAs結晶を形成した後、V族分子およびTe以外のVI族分子が存在しない雰囲気中でBeTe層を形成することができるので、II-V族半導体とGaAsとの界面におけるGa-Se結合の形成を阻止し、またBeの添加によりII-V族半導体の共有結合性が高まり、積層欠陥の発生を抑制できる。

【0112】(実施の形態15) 図7は第16の発明による半導体結晶製造装置の実施の形態を模式的に示す概念図である。このMBE装置は、ロードロック室701、II-V族半導体成長室702、基板移送室703およびII-V族半導体成長室704により構成される。各室はグートバルブにより仕切られており、それぞれに排気装置を備え、ロードロック室701を除いて真空度は 10^{-10}Torr に保たれる。成長室は少なくとも基板保持加熱機構705と加熱蒸発源706~709および711~714を備えており、さらに高速電子線回折像観察装置、残留ガス分析装置および基板温度の測定手段等も付加される。

【0113】例えば、図2に示したヘテロエピタキシャル半導体結晶を製造するためには、II-V族半導体成長室702には例えばGaを充填した加熱蒸発源706、Asを充填した加熱蒸発源707、Znを充填した加熱蒸発源708、Seを充填した加熱蒸発源709および、基板保持加熱機構705とSeを充填した加熱蒸発源709との間にSeの分子線を遮断するバルブ機構710が備えられ、II-V族半導体成長室704には例えばZnSeを充填した加熱蒸発源711、ZnSを充填した加熱蒸発源712、Mgを充填した加熱蒸発源713およびZnCl₂を充填した加熱蒸発源714が備えられる。Seの分子線を遮断するバルブ機構710は具体的に、バルブドセルのようにSeを充填した加熱蒸発源709の先端に設けられたニードルバルブでもよいし、基板保持加熱機構705とSeを充填した加熱蒸発源709との間に設けられたゲ

26

トバルブであってもよい。

【0114】本実施の形態では、II-V族半導体成長室702にZnを充填した加熱蒸発源708およびSeを充填した加熱蒸発源709を備えたが、これらの代わりにZnSeを充填した加熱蒸発源を備えてもかまわない。また同様に、II-V族半導体成長室704におけるZnSeを充填した加熱蒸発源711やZnSを充填した加熱蒸発源712の代わりに、Znを充填した加熱蒸発源およびSeを充填した加熱蒸発源とSeを充填した加熱蒸発源を備えてもかまわない。

【0115】このMBE装置では、II-V族半導体成長室702においてSeの分子線を遮断するバルブ機構710を閉じた状態で基板上にII-V族半導体結晶を形成した直後、雰囲気中にSe分子が存在しない状態からバルブ機構710を開いてZnSe層を形成することができるので、ZnSeとGaAsとの界面におけるGa-Se結合の形成を抑制し、これに起因する積層欠陥の発生を抑制できる。

【0116】(実施の形態16) 第17の発明による半導体結晶製造方法を、図2に示したヘテロエピタキシャル半導体結晶の製造に即して図7を用いて説明する。基板には半絶縁性GaAs(100)基板201を用いた。基板はロードロック室701において350℃でアブリベークされた後、基板移送室703を経てII-V族半導体成長室702に搬送される。II-V族半導体成長室702において、Asを充填した加熱蒸発源707よりAs分子線を照射しながらGaAs基板201を約600℃まで加熱して自然酸化膜の除去を行った後、GaおよびAs分子線を照射することによりGaAsバッファ層202(層厚0.3mm)を成長させた。GaおよびAs分子線強度をそれぞれ 5×10^{-7} および $1 \times 10^{-5} \text{Torr}$ とし、基板温度を590℃とした。成長速度は0.9nm/hであった。このとき、Seの分子線を遮断するバルブ機構710は閉じた状態であり、雰囲気中にSe分子は存在しない。

【0117】GaAsバッファ層202の成長後、基板温度を300℃まで下げてGaAsバッファ層202の表面にZnを充填した加熱蒸発源708およびSeを充填した加熱蒸発源709よりZnおよびSeの分子線を照射することにより、ZnSeバッファ層203(層厚15nm)を形成した。Seの分子線を遮断するバルブ機構710はSeの分子線を照射し始めると同時に開いた。また、このときSeの分子線を照射するに先立ち、Znの分子線を照射しておく、GaAs界面でのGa-Se結合形成が抑制されて好ましい。表面再構成構造はGaAsの(2×4)構造からZnSeの成長開始と同時に(2×1)構造に変化することが高速電子線回折により確認された。

【0118】GaAsバッファ層202およびZnSeバッファ層203を形成した基板201を基板移送室703を経てII-V族半導体成長室704に搬送した。基板移送室703の真空度は $1 \times 10^{-10} \text{Torr}$ であった。II-V族半導体成長室704において、ZnSeバッファ層203上にその層厚が30nmになるよう引き続きZnSeバッファ層203を形成し、さらにn型ZnMgSe層204(層厚1.5mm、有効ドナー密度 $3 \times 10^{17} \text{cm}^{-3}$)を積層した。n型不純物原料としてZnCl₂を用いた。n型ZnMgS

27

Se層904成長中の基板温度は290℃、成長速度は0.7mm/hとした。

【0119】上記構成の半導体結晶について実施の形態1で述べた結晶欠陥の評価を行ったところ、積層欠陥密度は $1.7 \times 10^3 \text{ cm}^{-2}$ であった。

【0120】(実施の形態17) 第18の発明による半導体結晶製造方法により図8に示したヘテロエピタキシャル半導体結晶を成長させた。基板には半絶縁性InP(100)基板801を用いた。基板はロードロック室において350℃でプリベークされた後、基板移送室を経てIII-V族半導体成長室に搬送される。III-V族半導体成長室には加熱蒸発源としてIn、Ga、AsおよびZnSeが備えられている。Asを充填した加熱蒸発源よりAs分子線を照射しながらInP基板801を520℃まで加熱して自然酸化膜の除去を行った後、In、GaおよびAsの分子線を照射することによりInGaAsバッファ層802(層厚0.5mm)を成長させた。In混晶比は0.47であり、この組成はInPとほぼ格子整合する。InGaAsバッファ層802は、原子配列のレベルで表面を平坦化し、その上に積層されるII-VI族化合物半導体の結晶欠陥の密度を低減し、高品質なヘテロエピタキシャル結晶を得るために設けられる。In、GaおよびAs分子線強度はそれぞれ 3×10^{-7} 、 3×10^{-7} および $1 \times 10^{-5} \text{ Torr}$ とした。

【0121】InGaAsバッファ層802の成長後、基板温度を300℃まで下げてInGaAsバッファ層802の表面にZnSeを充填した加熱蒸発源からの分子線を照射することにより、ZnSeバッファ層803を形成した。ZnSeはInPに対して-3.1%の格子不整合があるため、臨界厚度は13nm程度である。そのためZnSeバッファ層803の厚さは、例えば7nmに選ばれる。表面再構成構造はInGaAsの(2×4)構造からZnSeの成長開始と同時に(2×1)構造に変化することが高速電子線回折により確認された。

【0122】InGaAsバッファ層802およびZnSeバッファ層803を形成した基板801を基板移送室を経てIII-V族半導体成長室に搬送した。基板移送室の真空度は $1 \times 10^{-10} \text{ Torr}$ であった。II-VI族半導体成長室には加熱蒸発源として例えばZnSe、CdSe、MgおよびZnCl₂が備えられている。II-VI族半導体成長室において、ZnSeバッファ層803上にn型ZnCdMgSe層804を積層した。n型ZnCdMgSe層804の組成はCd混晶比0.38、Mg混晶比0.27であり、この組成を有するZnCdMgSeはInPと格子整合する。また、室温でのバンドギャップは2.5eVである。ZnCdMgSeはその組成を選ぶことにより、InPと格子整合させながら、バンドギャップを2.2eVから2.9eV程度の間で変化させることができる。n型ZnCdMgSe層804の厚さは例えば1.5mm、有効ドナー密度は例えば $2 \times 10^{17} \text{ cm}^{-3}$ である。n型不純物原料にはZnCl₂を用いた。本実施の形態ではこの層のみn型不純物を添加したが、フォトルミネッセンススペクトルや蛍光顕微鏡による結晶品質の評価を容易に行うためであり、この層に限らず各層の不純物はn型であっても、p型であっても、また無添加であってもかまわず、不純物密

28

度が1019cm⁻³程度以下であれば結晶品質の低下はない。

【0123】上記構成の半導体結晶について実施の形態1で述べた結晶欠陥の評価を行ったところ、積層欠陥密度は $2.9 \times 10^3 \text{ cm}^{-2}$ であった。

【0124】(実施の形態18) 第19の発明による半導体結晶製造方法により図9に示したヘテロエピタキシャル半導体結晶を成長させた。基板には半絶縁性GaAs(100)基板901を用いた。基板はロードロック室において350℃でプリベークされた後、基板移送室を経てIII-V族半導体成長室に搬送される。III-V族半導体成長室には加熱蒸発源としてAl、Ga、As、ZnおよびSeが備えられている。なお、Seの加熱蒸発源にはバルブドクッキングセルを用いている。Asを充填した加熱蒸発源よりAs分子線を照射しながらGaAs基板901を約600℃まで加熱して自然酸化膜の除去を行った後、GaおよびAs分子線を照射することによりGaAsバッファ層902(層厚0.3mm)を成長させた。引き続きAl、GaおよびAs分子線を照射することによりAlGaAsバッファ層(層厚0.2mm)903を成長させた。Al混晶比は0.3である。このときSeバルブドクッキングセルは閉じているので、雰囲気中にSe分子は存在しない。

【0125】AlGaAsバッファ層903の成長後、基板温度を300℃まで下げてAlGaAsバッファ層903の表面にZnおよびSeの分子線を照射することにより、ZnSeバッファ層904(層厚15nm)を形成した。このときSeの分子線を照射するに先立ち、Znの分子線を照射しておく、とGaAs界面でのGa-Se結合形成が抑制されて好ましい。表面再構成構造はAlGaAsの(2×4)構造からZnSeの成長開始と同時に(2×1)構造に変化することが高速電子線回折により確認された。また本実施の形態においては、ZnSeバッファ層904の成長用原料としてZnおよびSeを用いているので、Zn分子線とSe分子線を交互に供給してZn原子層とSe原子層を1層ずつ成長させるALE法あるいはMEE法により原子層レベルで精密にバッファ層を成長させることができる。以上の方法により化学的に活性なAlGaAs表面がZnSe層によって不活性化されるため、基板表面に起こる汚染不純物の付着が抑制され、II-VI族半導体とAlGaAsとの界面における積層欠陥の発生を抑制することができる。

【0126】ZnSeバッファ層904を形成した基板901を基板移送室を経てII-VI族半導体成長室に搬送した。基板移送室の真空度は $1 \times 10^{-10} \text{ Torr}$ であった。II-VI族半導体成長室には加熱蒸発源として例えばZnSe、ZnS、MgおよびZnCl₂が備えられている。II-VI族半導体成長室において、ZnSeバッファ層904上とその層厚が30nmになるよう引き続きZnSeバッファ層904を成長させ、さらにn型ZnMgSSe層905(層厚1.5mm、有効ドナー密度 $3 \times 10^{17} \text{ cm}^{-3}$)を積層した。n型不純物原料としてZnCl₂を用いた。n型ZnMgSSe層905成長中の基板温度は290℃、成長速度は0.7mm/hとした。

29

【0127】上記構成の半導体結晶について実施の形態1で述べた結晶欠陥の評価を行ったところ、積層欠陥密度は $3.4 \times 10^3 \text{cm}^{-2}$ であった。

【0128】(実施の形態19) 図10は第20の発明による半導体結晶製造装置の実施の形態を模式的に示す概念図である。このMBE装置は、ロードロック室1001、III-V族半導体成長室1002、基板移送室1003、ZnSe成長室1004およびIII-V族半導体成長室1005により構成される。各室はゲートバルブにより仕切られており、それぞれに排気装置を備え、ロードロック室1001を除いて真空度は 10^{-10}Torr 台に保たれる。成長室は少なくとも基板保持加熱機構1006と加熱蒸発源1007〜1010および1012〜1015を備えており、さらに高速電子線回折観察装置、残留ガス分析装置および基板温度の測定手段等も付加される。

【0129】例えば、図2に示したヘテロエピタキシャル半導体結晶を製造するためには、III-V族半導体成長室1002には例えばGaを充填した加熱蒸発源1007およびAsを充填した加熱蒸発源1008が備えられ、ZnSe成長室1004には例えばZnを充填した加熱蒸発源1009、Seを充填した加熱蒸発源1010および、基板保持加熱機構1005とSeを充填した加熱蒸発源1010との間にSeの分子線を遮断するバルブ機構1011が備えられ、III-V族半導体成長室1005には例えばZnSeを充填した加熱蒸発源1012、ZnSを充填した加熱蒸発源1013、Mgを充填した加熱蒸発源1014およびZnCl₂を充填した加熱蒸発源1015が備えられる。Seの分子線を遮断するバルブ機構1011は具体的には、バルブドセルのようにSeを充填した加熱蒸発源1010の先端に設けられたニードルバルブでもよいし、基板保持加熱機構1005とSeを充填した加熱蒸発源1010との間に設けられたゲートバルブであってもよい。

【0130】本実施の形態では、ZnSe成長室1004にZnを充填した加熱蒸発源1009およびSeを充填した加熱蒸発源1010を備えたが、この代わりZnSeを充填した加熱蒸発源を備えてもかまわない。また同様に、III-V族半導体成長室1005におけるZnSeを充填した加熱蒸発源1012やZnSを充填した加熱蒸発源1013の代わり、Znを充填した加熱蒸発源およびFSeを充填した加熱蒸発源やSを充填した加熱蒸発源を備えてもかまわない。

【0131】このMBE装置では、III-V族半導体成長室1002において基板上にIII-V族半導体結晶を形成した後ZnSe成長室1004へ基板を搬送し、雰囲気中にV族分子およびSe分子が存在しない状態からバルブ機構1011を開いてZnSe層を形成することができるので、ZnSeとGaAsとの界面におけるGa-Se結合の形成を抑制し、これに起因する積層欠陥の発生を抑制できる。

【0132】(実施の形態20) 第21の発明による半導体結晶製造方法を、図2に示したヘテロエピタキシャル半導体結晶の製造に即して図10を用いて説明する。基板には半絶縁性GaAs(100)基板201を用いた。基板はロードロック室1001において350℃でプリバークされた後、基板

30

移送室1003を経てIII-V族半導体成長室1002に搬送される。III-V族半導体成長室1002において、Asを充填した加熱蒸発源1008よりAs分子線を照射しながらGaAs基板201を約600℃まで加熱して自然酸化膜の除去を行った後、GaおよびAs分子線を照射することによりGaAsバッファ層202(層厚0.3nm)を成長させた。GaおよびAs分子線強度をそれぞれ 5×10^{-7} および $1 \times 10^{-5} \text{Torr}$ とし、基板温度を590℃とした。成長速度は0.9nm/hであった。

【0133】GaAsバッファ層202を形成した基板201を基板移送室1003を経てZnSe成長室1004に搬送した。基板移送室1003の真空度は $1 \times 10^{-10} \text{Torr}$ であった。基板温度270℃でGaAsバッファ層202の成長にZnを充填した加熱蒸発源1009およびTeを充填した加熱蒸発源1010よりZnおよびSeの分子線を照射することにより、ZnSeバッファ層203(層厚15nm)を形成した。Seの分子線を遮断するバルブ機構1011はSeの分子線を照射し始めると同時に開いたので、成長前のZnSe成長室1004雰囲気中にはSe分子が存在しない。また、このときSeの分子線を照射するに先立ち、Znの分子線を照射しておく、とGaAs界面でのGa-Se結合形成が抑制されて好ましい。表面再構成構造はGaAsの(2×4)構造からZnSeの成長開始と同時に(2×1)構造に変化することが高速電子線回折により確認された。

【0134】ZnSeバッファ層203を形成した基板201を基板移送室1003を経てIII-V族半導体成長室1005に搬送した。III-V族半導体成長室1005において、ZnSeバッファ層203上その層厚が30nmになるよう引き続きZnSeバッファ層203を形成し、さらにn型ZnMgSSe層204(層厚1.5nm、有効ドナー密度 $3 \times 10^{17} \text{cm}^{-3}$)を積層した。n型不純物原料としてZnCl₂を用いた。n型ZnMgSSe層204成長中の基板温度は290℃、成長速度は0.7nm/hとした。

【0135】上記構成の半導体結晶について実施の形態1で述べた結晶欠陥の評価を行ったところ、積層欠陥密度は $1.5 \times 10^3 \text{cm}^{-2}$ であった。

【0136】(実施の形態21) 第22の発明による半導体結晶製造方法により図8に示したヘテロエピタキシャル半導体結晶を成長させた。基板には半絶縁性InP(100)基板801を用いた。基板はロードロック室において350℃でプリバークされた後、基板移送室を経てIII-V族半導体成長室に搬送される。III-V族半導体成長室には加熱蒸発源としてIn、GaおよびAsが備えられている。Asを充填した加熱蒸発源よりAs分子線を照射しながらInP基板801を520℃まで加熱して自然酸化膜の除去を行った後、In、GaおよびAsの分子線を照射することによりInGaAsバッファ層802(層厚0.5nm)を成長させた。In混晶比は0.47であり、この組成はInPとほぼ格合整合する。InGaAsバッファ層802は、原子配列のレベルで表面を平坦化し、その上に積層されるIII-V族化合物半導体の結晶欠陥の密度を低減し、高品質なヘテロエピタキシャル結晶を得るために設けられる。In、GaおよびAs分子線強度はそれぞれ 3×10^{-7} 、 3×10^{-7} および $1 \times 10^{-5} \text{Torr}$ とした。

【0137】InGaAsバッファ層802を形成した基板801を基板移送室を経てZnSe成長室に搬送した。基板移送室の真空度は 1×10^{-10} Torrであった。ZnSe成長室には加熱蒸発源として例えばZnSeが備えられている。また基板保持部とZnSeを充填した加熱蒸発源との間には分子線を完全に遮断するゲートバルブが設けられている。InGaAsバッファ層802の表面にZnSeを充填した加熱蒸発源からZnとSeの分子線を照射することにより、ZnSeバッファ層803を形成した。ZnSeバッファ層803を成長開始と同時にゲートバルブを開いたので、成長前の基板保持部の雰囲気中にSe分子は存在しない。基板温度は270℃とした。ZnSeはInPに対して-3.4%の格子不整合があるため、臨界膜厚は12nm程度である。そのためZnSeバッファ層803の厚さは、例えば7nmに選ばれる。表面再構成構造はInGaAsの(2×4)構造からZnSeの成長開始と同時に(2×1)構造に変化することが高速電子線回折により確認された。

【0138】ZnSeバッファ層803を形成した基板801を基板移送室を経てII-VI族半導体成長室に搬送した。II-VI族半導体成長室には加熱蒸発源として例えばZnSe、CdSe、MgおよびZnCl₂が備えられている。II-VI族半導体成長室において、ZnSeバッファ層803上にn型ZnCdMgSe層804を積層した。n型ZnCdMgSe層804の組成はCd混晶比0.38、Mg混晶比0.27であり、この組成を有するZnCdMgSeはInPと格子整合する。また、室温でのバンドギャップは2.5eVである。ZnCdMgSeはその組成を選ぶことにより、InPと格子整合させながら、バンドギャップを2.2eVから2.9eV程度の間で変化させることができる。n型ZnCdMgSe層804の厚さは例えば1.5nm、有効ドーナー密度は例えば 2×10^{17} cm⁻³である。n型不純物原料にはZnCl₂を用いた。

【0139】上記構成の半導体結晶について実施の形態1で述べた結晶欠陥の評価を行ったところ、積層欠陥密度は 3.0×10^3 cm⁻²であった。

【0140】(実施の形態22)図11は第23の発明による半導体レーザの実施の形態を模式的に示す構造断面図である。n型GaAs(100)基板1101上に、n型GaAsバッファ層1102、ZnTeバッファ層1103、n型ZnMgSeクラッド層1104、n型ZnSeバッファ層1105、n型ZnMgSeクラッド層1106、n型ZnSse光ガイド層1107、ZnCdSse活性層1108、p型ZnSse光ガイド層1109、p型ZnMgSeクラッド層1110、p型ZnSeクラッド層1111、p型ZnSeキャップ層1112、p型ZnTe/ZnSe疑似傾斜層1113、p型ZnTeコンタクト層1114が順次積層されている。また、p型ZnSeクラッド層1111の上部、p型ZnSeキャップ層1112、p型ZnTe/ZnSe疑似傾斜層1113およびp型ZnTeコンタクト層1114はメサストライプ状にエッチングされている。このメサストライプ部の幅は例えば10nmである。さらに、上述のメサストライプ部以外の部分のp型ZnSeクラッド層1111上には電流遮断層1115が形成されている。そして、p型ZnTeコンタクト層1114および電流遮断層1115の上には、p型電極1116が形成されている。p型電極1116としては、例えば厚さ10nmのPd膜

と厚さ300nmのAu膜が順次積層されたPd/Au電極が用いられる。一方、n型GaAs基板1101の裏面には、例えばAuGeNi電極のようなn型電極1117が形成されている。図11に示した構造は利得増強型であるが、メサストライプの幅、高さおよび電流遮断層の屈折率を適宜に選ぶことによって、単モード動作する屈折率増強型構造とすることもできる。

【0141】基板として用いるIII-V族化合物半導体結晶は本実施の形態で示したGaAs以外に、InP、GaP、InGaAs等が挙げられる。基板の電導型についてはp型であってもよい。基板面方位については本実施の形態では(100)面を用いたが、(100)面から[111]Aあるいは[111]B方向へ傾斜した面を用いてもよい。例えば、[111]B方向へ15.8°傾斜した(511)B面を用いることができる。

【0142】基板上にエピタキシャル成長されるII-VI族化合物半導体レーザ結晶の組成は、基板との界面でミスマッチ転位が発生しないよう、基板にほぼ格子整合する組成を選ぶことが好ましい。GaAs、InGaAsおよびGaP基板の場合には、例えばZnMgSe系やZnMgBeSe系が選ばれる。InP基板の場合には、例えばZnCdMgSe系やZnMgTe系が選ばれる。また、基板との格子不整合の大きい組成を用いる場合は、その層の厚さが臨界膜厚を越えないように選ぶことが好ましい。

【0143】GaAsバッファ層1102は、原子配列のレベルで表面を平坦化し、その上に積層されるII-VI族化合物半導体の結晶欠陥の密度を低減し、高品質な半導体レーザ結晶を得るために設けられる。厚さは例えば0.3nmである。n型不純物としては例えばSiが、p型不純物としては例えばZnが用いられる。

【0144】ZnTeバッファ層1103は、II-VI族化合物半導体の成長初期過程において成長雰囲気中のSやSeが直接GaAsバッファ層1102に付着してGa-Se結合やGa-S結合を形成して積層欠陥の原因となり、ヘテロエピタキシャル結晶の結晶品質が低下するのを防ぐために設けられる。ZnTeはGaAsに対して+7.9%の格子不整合があるため、臨界膜厚は5nmつまり16分層程度である。そのためZnTeバッファ層1103の厚さは、例えば1.2nmつまり4分層に選ばれる。ZnTeはn型化が困難であるが、この程度の厚さのバッファ層であれば不純物を添加するの必要はない。むしろ、GaAsバッファ層1102との界面に向かって不純物が拡散し、欠陥を生成する可能性もあるので、不純物を添加しない方が好ましい。また、GaAsとZnTeとの間には約1.1eVの伝導帯不連続が存在するが、この程度の厚さのZnTe層ではそのようなバンド構造は形成されず、n型GaAsバッファ層1102に直接n型ZnSeバッファ層1104を接合した場合を上回るような電子注入の障壁とはならない。

【0145】n型ZnSeバッファ層1104は、その上に形成されるn型ZnSseクラッド層1105の成長初期過程において2次元核生成・成長を促進させるためおよび積層欠陥生

33

成を抑制させるために設けられる。ZnSeはGaAsに対して+0.28%の格子不整合があるため、臨界面厚は150nm程度である。そのためZnSeバッファ層1104の厚さは、例えば、30nmに選ばれる。また、有効ドナー密度は例えば $8 \times 10^{17} \text{cm}^{-3}$ であり、n型不純物としては例えばClが用いられる。また、前述したように不純物の拡散を防ぐために、ZnTeバッファ層1103に隣接する2~3nm程度の領域にはn型不純物を添加しない方が好ましい。

【0146】n型ZnSeバッファ層1105は、その上に形成されるn型ZnMgSセクラッド層1106の成長初期過程において積層欠陥形成を抑制させるために設けられる。ZnSeバッファ層1105の組成はS混晶比0.06であり、この組成を有するZnSeはGaAsと格子整合する。また室温でのバンドギャップは2.75eVである。n型ZnSeバッファ層1105の厚さは例えば0.2mm、有効ドナー密度は例えば $5 \times 10^{17} \text{cm}^{-3}$ である。

【0147】n型ZnMgSセクラッド層1106およびp型ZnMgSセクラッド層1110の組成はMg混晶比0.1、S混晶比0.2であり、この組成を有するZnMgSセはGaAsと格子整合する。また室温でのバンドギャップは2.86eVである。ZnMgSセはその組成を選ぶことにより、GaAsと格子整合させながら、バンドギャップを2.7eVから3.1eV程度の間で変化させることができる。n型ZnMgSセクラッド層1106の厚さは例えば0.8mm、有効ドナー密度は例えば $5 \times 10^{17} \text{cm}^{-3}$ であり、p型ZnMgSセクラッド層1110の厚さは例えば0.6mm、有効アクセプタ密度は例えば $2 \times 10^{17} \text{cm}^{-3}$ である。p型不純物としては例えばNが用いられる。

【0148】n型ZnSe光ガイド層1107およびp型ZnSe光ガイド層1109の組成は、n型ZnSeバッファ層1105と同様S混晶比0.06であり、この組成を有するZnSeはGaAsと格子整合する。光ガイド層の組成は、活性層の発光波長における屈折率がクラッド層の屈折率よりも大きく、活性層の屈折率よりも小さくなるように選ばれる。また、バンドギャップがクラッド層のバンドギャップよりも小さく、活性層のバンドギャップよりも大きくなるように選ばれる。層厚は例えばそれぞれ130nmである。なお、ZnCdSセ活性層1108での不純物単位形成を防ぐため、光ガイド層1107および1109のうちZnCdSセ活性層1108との界面近傍領域にはn型、p型いずれの不純物も添加しないのが好ましい。極端には、光ガイド層全体にn型、p型いずれの不純物も添加しないでも構わない。不純物を添加した領域の有効ドナー密度および有効アクセプタ密度は例えばそれぞれ $5 \times 10^{17} \text{cm}^{-3}$ および $3 \times 10^{17} \text{cm}^{-3}$ である。

【0149】ZnCdSセ活性層1108の組成は例えばCd混晶比0.25、S混晶比0.06である。この組成ではGaAsに対して+1.8%程度の格子不整合があるため、臨界面厚は20nm程度であり、そのためZnCdSセ活性層1108の厚さは例えば5nmに選ばれる。量子井戸構造が形成される。室温でのバンドギャップは2.45eVである。活性層の組成は、そのバンドギャップがクラッド層および光ガイド層のバンドギャ

34

ップより小さくなるように選ばれる。本実施の形態のようにクラッド層がZnMgSセ系の場合には例えばZnCdSセ系が、またクラッド層がZnMgSセ系やZnCdMgSセ系の場合には例えばZnCdSセ系が、クラッド層がZnMgSセ系の場合には例えばZnSeTe系がそれぞれ選ばれる。活性層の構造は、本実施の形態においては量子井戸構造としたが、必要に応じて多重量子井戸構造とすることもでき、また活性層の歪量を制御して歪量子井戸構造としたり、歪補償量子井戸構造とすることもできる。なお、活性層での不純物単位形成を防ぐため、井戸層および障壁層にはn型、p型いずれの不純物も添加しないのが好ましい。

【0150】p型ZnSeクラッド層1111はレーザ素子の熱抵抗低減とバンド不連続の緩和を目的として設けられ、p型ZnMgSセクラッド層1110の厚さを薄くできる効果を有する。p型ZnMgSセクラッド層1110のバンドギャップおよび有効アクセプタ密度の設定いかんによっては、p型ZnSセクラッド層1111が不要となる場合もある。

【0151】p型ZnSeキャップ層1112、p型ZnTe/ZnSe疑似傾斜層1113およびp型ZnTeコンタクト層1114はp型オーミックコンタクトを形成するために設けられる。p型ZnSeキャップ層1112は例えば厚さ80nm、有効アクセプタ密度 $8 \times 10^{17} \text{cm}^{-3}$ であり、p型ZnTeコンタクト層1114は例えば厚さ10nm、キャリア密度は $1 \times 10^{19} \text{cm}^{-3}$ である。p型ZnTeコンタクト層1114の上に容易にオーミック電極を形成することはできるが、ZnSeとZnTeとの間には1.1eV程度の価電子帯不連続が存在し、ホール注入に対する障壁となるので、この障壁を除くためにp型ZnTe/ZnSe疑似傾斜層1113が設けられる。その構造は、例えば2.1nm周期で12層からなり、p型ZnSeキャップ層1112に隣接する第1層は0.3nmのp型ZnTe層と1.8nmのp型ZnSe層で構成され、第2層は0.4nmのp型ZnTe層と1.7nmのp型ZnSe層で構成され、順次p型ZnTe層は厚く、p型ZnSe層は薄くなっていく構造で、p型ZnTeコンタクト層1114に隣接する第12層は1.8nmのp型ZnTe層と0.3nmのp型ZnSe層で構成される。

【0152】本実施の形態ではこのような構造をとったが、これに限らず、巨視的にバンド構造がZnSeからZnTeへと連続的に変化するような構造、あるいはホールがZnTeとZnSeとの間の障壁をトンネル効果で流れるような構造であればよい。また、p型オーミックコンタクトの形成にはBeTeを用いることもでき、同様のp型BeTe/ZnSe疑似傾斜層を組み合わせることにし半導体発光素子に適用できる。BeTeはGaAsに対して-0.47%程度の格子不整合であり、ZnTeの場合と異なり臨界面厚未満の厚さで結晶品質の高いオーミックコンタクトを形成できるという利点を有する。

【0153】電流狭束層1115は、クラッド層の屈折率に応じて組成が選ばれるが、ZnMgSセクラッド層に対してはZnMgSセまたはZnO等が好ましい。

【0154】上記半導体レーザ構造の成長方法として

35

は、MBE法やMOVPE法が挙げられる。分子層あるいは原子層レベルの精密な制御が必要な場合は、ALE法あるいはMEE法を適宜併用することができる。本実施の形態においては、MBE法を用いたので、以下MBE法による製造装置および製造方法を述べる。

【0155】用いたMBE装置は、ロードロック室、III-V族半導体成長室、基板移送室およびII-VI族半導体成長室により構成される。III-V族半導体成長室には加熱蒸発源として例えばGa、As、SiおよびZnTeが備えられ、II-VI族半導体成長室には加熱蒸発源として例えばZnSe、ZnS、Mg、CdSe、ZnTeおよびZnCl₂が備えられ、さらにRF放電管を有するN₂ラジカル源が備えられている。このMBE装置では、III-V族半導体成長室において基板上にn型GaAsバッファ層1102を形成した直後、Te以外のVI族分子が存在しない雰囲気中でZnTeバッファ層1103を形成することができるので、II-VI族半導体とGaAsとの界面におけるGa-Se結合やGa-S結合の形成を阻止し、これらに起因する積層欠陥の発生を抑制できる。なお、本実施の形態ではIII-V族半導体成長室にZnTeを充填した加熱蒸発源を備えたが、この代わりにZnを充填した加熱蒸発源およびTeを充填した加熱蒸発源を備えた場合もよい。また同様に、II-VI族半導体成長室において、ZnSe、ZnS、CdSe等の代わりに、Zn、Se、S、Cd等を充填した加熱蒸発源を備えた場合もよい。

【0156】Siドープn型GaAs(100)基板1101(キャリア密度 $2 \times 10^{18} \text{cm}^{-3}$)は、ロードロック室において350℃までプリベークされた後、基板移送室を経てIII-V族半導体成長室に搬送される。III-V族半導体成長室において、As分子線を照射しながらGaAs基板1101を約600℃まで加熱して自然酸化膜の除去を行った後、Ga、AsおよびSi分子線を照射することによりSiドープn型GaAsバッファ層1102を成長させた。GaおよびAs分子線強度をそれぞれ $5 \times 10^{-7} \text{ Torr}$ 、 $1 \times 10^{-5} \text{ Torr}$ とし、基板温度を590℃とした。成長速度は0.9nm/hであった。

【0157】n型GaAsバッファ層1102の成長後、基板温度を300℃まで下げてGaAsバッファ層1102の表面にZnTeを充填した加熱蒸発源から分子線を照射することにより、ZnTeバッファ層1103を形成した。加熱蒸発源からの分子線強度は $1 \times 10^{-7} \text{ Torr}$ 、成長時間は11秒間とした。表面再構成構造はGaAsのAs安定化面を示す(2×4)構造からZnTeの成長開始と同時にTe安定化面を示す(2×1)構造に変化することが高速電子線回折により確認された。

【0158】n型GaAsバッファ層1102およびZnTeバッファ層1103を形成した基板1101を基板移送室(真空度 $1 \times 10^{-10} \text{ Torr}$)を経てII-VI族半導体成長室に搬送した。II-VI族半導体成長室においてZnTeバッファ層1103上に、n型ZnSeバッファ層1104、n型ZnSセバッファ層1105、n型ZnMgSセバッファ層1106、n型ZnSセ光ガイド層1107、ZnCdSセ活性層1108、p型ZnSセ光ガイド層1109、p型ZnMgSセバッファ層1110、p型ZnSセバッファ層1111、p型ZnSeキ

36

ャップ層1112、p型ZnTe/ZnSe擬似傾斜層1113およびp型ZnTeコンタクト層1114を順次積層した。n型不純物原料としてZnCl₂を、p型不純物原料としてRFプラズマ放電により生成された活性N₂を用いた。結晶成長中の基板温度は290℃、ZnMgSセ層の成長速度は0.7nm/hとした。

【0159】以上のエピタキシャル成長で得られた半導体レーザ構造のウェハを、利得増強型レーザ素子に加工する。すなわち、例えば幅10mmのストライプ状レジストパターンをマスクとして、p型ZnSセバッファ層1111の途中までエッチングしてメサストライプを形成する。エッチングには例えば重クロム酸カリウム飽和水溶液と濃硫酸が容積比3:2で混合されたエッチング液を用いる。引き続き、電流拡散層1115として例えばZnOをメサストライプ両端に、リフトオフによってp型ZnTeコンタクト層1114を露出させる。なお電流拡散層1115として、MBE法によりZnMgSセ層を埋込再成長させることもできる。その後ウェハ全面に例えばPdとAuを順次真空蒸着してp型電極1116とする。一方、n型GaAs基板1101の裏面には例えばAu、GeおよびNiを真空蒸着してn型電極1117とする。

【0160】このウェハを劈開して、共振器長を例えば750nmとし、両端面ともコーティングを施さずに、例えば幅400nmのチップに分離して、Cuヒートシンクにジャンクションダウンで実装する。

【0161】この半導体レーザ素子の室温での連続動作特性を評価したところ、発振波長は約510nm、しきい値電流は42mA、外部微分量子効率率は67%、レーザ発振開始時の印加電圧は約9Vであった。また、20℃における出力1mWでの連続動作寿命は平均2.5時間であり、素子ごとのばらつきは小さかった。また、活性層における暗点欠陥密度を評価したところ、 $5.6 \times 10^{12} \text{ cm}^{-2}$ であった。

【0162】一方、比較のため、ZnTeバッファ層1103のない従来構成の半導体レーザ素子に対して同様の評価を行ったところ、初期的なレーザ発振特性に大きな差異は認められなかったが、連続動作寿命は平均6分であり、素子ごとのばらつきは大きかった。また、活性層における暗点欠陥密度は $2.8 \times 10^{14} \text{ cm}^{-2}$ であった。

【0163】ZnTeバッファ層の導入がレーザ素子の動作寿命を伸長させる理由は定かではないが、TeはSやSeに比べて蒸気圧が低いこと、また積層欠陥の核となる可能性のあるGa-Te結合は、Ga-S結合やGa-Se結合に比べて結合エネルギーが小さく、化学的に不安定であること等から、Ga-Te結合が形成されにくいために、活性層中の暗点欠陥密度が低減されたことによると考えられる。

【0164】なお、InP基板上にInGaAsバッファ層を介してZnCdMgSセ系レーザを構成する場合、InGaAsバッファ層上にZnTeバッファ層を備えると、上記と同様の効果を得られる。また、GaAs基板上にAl_xGa_{1-x}As(0<x≤1)層を介してII-VI族半導体レーザを構成する場合、Al_xGa_{1-x}As層上にZnTeバッファ層を備えると、上記と同様の効

果が得られる。

【0165】以上のことから、本実施の形態によれば、II-VI族半導体レーザ素子の動作寿命を伸長させ、また信頼性の歩留まりを向上させることができる。

【0166】(実施の形態23) 図12は第24の発明による半導体レーザの実施の形態を模式的に示す構造断面図である。n型GaAs(100)基板1201上に、n型GaAsバッファ層1202、BeTeバッファ層1203、n型ZnSeバッファ層1204、n型ZnMgBeSeクラッド層1205、ZnCdSe多量子井戸層1206、ZnMgBeSe障壁層1207、p型ZnMgBeSeクラッド層1208、p型ZnSeキャップ層1209、p型BeTe/ZnSe疑似傾斜層1210およびp型BeTeコンタクト層1211が順次積層されている。また、p型ZnMgBeSeクラッド層1208の上部、p型ZnSeキャップ層1209、p型BeTe/ZnSe疑似傾斜層1210およびp型BeTeコンタクト層1211はメサストライプ状にエッチングされている。このメサストライプ部の幅は例えば10mmである。さらに、上述のメサストライプ部以外の部分のp型ZnMgBeSeクラッド層1208上には電流拡散層1212が形成されている。そして、p型BeTeコンタクト層1211および電流拡散層1212の上には、p型電極1213が形成されている。一方、n型GaAs基板1201の表面には、例えばAuGeNi電極のようなn型電極1214が形成されている。図12に示した構造は利得導波型であるが、メサストライプの幅、高さおよび電流拡散層の屈折率を適宜に選ぶことによって、単一モード動作する屈折率導波型構造とすることもできる。

【0167】以下、第24の発明による半導体レーザの実施の形態として、前述した実施の形態22と大きく異なる点についてのみ述べる。

【0168】BeTeバッファ層1203は、II-VI族化合物半導体の成長初期過程において成長雰囲気中のSeが直接GaAsバッファ層1202に付着してGa-Se結合を形成して積層欠陥の原因となり、ヘテロエピタキシャル結晶の結晶品質が低下するのを防ぐために設けられる。BeTeは格子定数が0.5626nmであり、GaAsに対して-0.47%の格子不整合があるため、境界厚は90nm程度である。そのためBeTeバッファ層の厚さは例えば10nmに選ばれる。BeTeはn型化が困難であるが、この程度の厚さのバッファ層であれば不純物を添加する必要はない。むしろ、GaAsバッファ層1202との界面に向かって不純物が拡散し、欠陥を生成する可能性もあるので、不純物を添加しない方が好ましい。また、GaAsとBeTeとの間には約1.3eVの伝導帯不連続が存在するが、この程度の厚さのBeTe層ではそのようなバンド構造は形成されず、n型GaAsバッファ層1202に直接n型ZnSeバッファ層1204を接合した場合を上回るような電子注入の障壁とはならない。

【0169】n型ZnMgBeSeクラッド層1205、ZnMgBeSe障壁層1207およびp型ZnMgBeSeクラッド層1208の組成はMg混晶比0.1、Be混晶比0.1であり、この組成を有するZnMgBeSeはGaAsとほぼ格子整合する。また、室温でのバンド

ギャップは2.89eVである。ZnMgBeSeはその組成を選ぶことにより、GaAsと格子整合させながら、バンドギャップを2.7eVから3.2eV程度の間で変化させることができる。n型ZnMgBeSeクラッド層1205の厚さは例えば1.0nm、有効ドナー密度は例えば $5 \times 10^{17} \text{cm}^{-3}$ であり、p型ZnMgBeSeクラッド層1208の厚さは例えば1.0nm、有効アクセプタ密度は例えば $3 \times 10^{17} \text{cm}^{-3}$ である。p型不純物としては例えばNが用いられる。

【0170】ZnCdSe多量子井戸層1206の組成は例えばCd混晶比0.2である。この組成ではGaAsに対して+1.7%程度の格子不整合があるため、境界厚は25nm程度である。そのため、例えば4層からなるZnMgBeSe障壁層1207(厚さ各6nm)と3層からなるZnCdSe多量子井戸層1206(厚さ各4nm)が交互に積層される多量子井戸構造とした。室温でのZnCdSe多量子井戸層1206のバンドギャップは2.45eVである。なお、不純物単位形成を防ぐため、ZnCdSe多量子井戸層1206にはn型、p型いずれの不純物も添加しないのが好ましい。

【0171】ZnMgBeSe障壁層1207の厚さは例えばそれぞれ60nmである。なお、ZnCdSe多量子井戸層1206での不純物単位形成を防ぐため、障壁層1207のうちZnCdSe多量子井戸層1206との界面近傍領域にはn型、p型いずれの不純物も添加しないのが好ましい。極端には、障壁層1207全体にn型、p型いずれの不純物も添加しないでも構わない。

【0172】p型ZnSeキャップ層1209、p型BeTe/ZnSe疑似傾斜層1210およびp型BeTeコンタクト層1211はp型オーミックコンタクトを形成するために設けられる。BeTeはGaAsに対して-0.47%程度の格子不整合があり、ZnTeの場合と異なり境界厚未端の厚さで結晶品質の高いオーミックコンタクトを形成できるという利点を有する。p型ZnSeキャップ層1209は例えば厚さ80nm、有効アクセプタ密度 $8 \times 10^{17} \text{cm}^{-3}$ であり、p型BeTeコンタクト層1211は例えば厚さ10nm、キャリア密度は $5 \times 10^{18} \text{cm}^{-3}$ である。p型BeTeコンタクト層1211の上に容易にオーミック電極を形成することはできるが、ZnSeとBeTeとの間には0.9eV程度の価電子帯不連続が存在し、ホール注入に対する障壁となるので、この障壁を除くためにp型BeTe/ZnSe疑似傾斜層1210が設けられる。その構造は、例えば4.2nm周期で14層からなり、p型ZnSeキャップ層1209に隣接する第1層は0.3nmのp型BeTe層と3.9nmのp型ZnSe層で構成され、第2層は0.6nmのp型BeTe層と3.6nmのp型ZnSe層で構成され、順次p型BeTe層は厚く、p型ZnSe層は薄くなっていく構造で、p型BeTeコンタクト層1211に隣接する第14層は3.9nmのp型BeTe層と0.3nmのp型ZnSe層で構成される。

【0173】本実施の形態ではこのような構造をとったが、これに限らず、巨視的にバンド構造がZnSeからBeTeへと連続的に変化するような構造、あるいはホールがBeTeとZnSeとの間の障壁をトンネル効果で流れるような構

造であればよい。

【0174】電流拡散層1115は、クラッド層の屈折率に応じて組成が選ばれているが、ZnMgBeSeまたはZn0等が好ましい。

【0175】上記半導体レーザ構造を作製するのに用いたMBE装置は、ロードロック室、III-V族半導体成長室、基板移送室およびIII-V族半導体成長室を備えたものである。III-V族半導体成長室には加熱蒸発源として例えばGa、As、Si、BeおよびTeが備えられ、III-V族半導体成長室には加熱蒸発源として例えばZnSe、Mg、Be、CdS e、TeおよびZnCl₂が備えられ、さらにRF放電管を有するN₂ラジカル源が備えられている。

【0176】このMBE装置では、III-V族半導体成長室において基板上にn型GaAsバッファ層1202を形成した直後、Te以外のVI族分子が存在しない雰囲気中でBeTeバッファ層1203を形成することができるので、III-V族半導体とGaAsとの界面におけるGe-Se結合の形成を阻止し、またBeの添加によりIII-V族半導体の共有結合性が高まり、積層欠陥の発生を抑制できる。

【0177】n型GaAs基板1201（キャリア密度 $2 \times 10^{18} \text{cm}^{-3}$ ）は、ロードロック室において350°Cでプリベークされた後、基板移送室を経てIII-V族半導体成長室に搬送される。III-V族半導体成長室において、As分子線を照射しながらGaAs基板1201を約600°Cまで加熱して自然酸化膜の除去を行った後、Ga、AsおよびSi分子線を照射することによりn型GaAsバッファ層1202を成長させた。基板温度は590°Cとした。成長速度は0.9nm/hであった。

【0178】n型GaAsバッファ層1202の成長後、基板温度を300°Cまで下げてGaAsバッファ層1202の表面にBeおよびTe分子線を照射することにより、BeTeバッファ層1203を形成した。表面再構成構造はGaAsのAs安定化面を示す(2×4)構造がBeTeの成長開始と同時にTe安定化面を示す(2×1)構造に変化することが高速電子線回折により確認された。

【0179】n型GaAsバッファ層1202およびBeTeバッファ層1203を形成した基板1201を基板移送室（真空度 $1 \times 10^{-10} \text{Torr}$ ）を経てIII-V族半導体成長室に搬送した。III-V族半導体成長室においてBeTeバッファ層1203上に、n型ZnSeバッファ層1204、p型ZnMgBeSeクラッド層1205、ZnCdSe多量子井戸層1206、ZnMgBeSe障壁層1207、p型ZnMgBeSeクラッド層1208、p型ZnSeキャップ層1209、p型BeTe/ZnSe擬似傾斜層1210およびp型BeTeコンタクト層1211を順次積層した。n型不純物原料としてZnCl₂を、p型不純物原料としてRFプラズマ放電により生成された活性N₂を用いた。結晶成長中の基板温度は290°C、ZnMgBeSe層の成長速度は0.6nm/hとした。

【0180】以上のエピタキシャル成長で得られた半導体レーザ構造のウェハを、利得導波型レーザ素子に加工して室温でのパルス動作特性を評価したところ、発振波長は約508nm、しきい値電流は90mA、外部微分量子効率

は53%、レーザ発振開始時の印加電圧は約9Vであった。また、活性層における暗点欠陥密度を評価したところ、 $7.0 \times 10^{12} \text{cm}^{-2}$ であった。

【0181】なお、実施の形態22および23で述べたZnTeバッファ層およびBeTeバッファ層以外にも、III-V族半導体結晶とIII-V族半導体結晶との界面から発生する結晶欠陥の密度を $1 \times 10^{13} \text{cm}^{-2}$ 未満に低減する作用を有するバッファ層材料があれば、それをIII-V族半導体層上に備えることができる。

【0182】（実施の形態24）図13は第26の発明による半導体レーザの実施の形態を模式的に示す構造断面図である。本発明は、例えばp型GaAs基板上に形成したZnMgSe系III-V族半導体レーザのGaAs基板との界面で発生する0.9eV程度のホール注入に対する障壁を緩和するものである。p型GaAs(100)基板1301上に、p型GaAsバッファ層1302、p型ZnTe/ZnS超格子バッファ層1303、p型ZnSeバッファ層1304、p型ZnSeバッファ層1305、p型ZnMgSeクラッド層1306、p型ZnSe光ガイド層1307、ZnCdSe活性層1308、n型ZnSe光ガイド層1309、n型ZnMgSeクラッド層1310、n型ZnSeコンタクト層1311が順次積層されている。また、n型ZnMgSeクラッド層1310の上部、n型ZnSeコンタクト層1311はメサストライプ状にメッチングされている。このメサストライプの幅は例えば5mmである。さらに、上述のメサストライプ部以外の部分のn型ZnMgSeクラッド層1310上には電流拡散層1312が形成されている。そして、n型ZnSeコンタクト層1311および電流拡散層1312の上には、n型電極1313が形成されている。n型電極1313としては、例えばInHg電極が用いられる。一方、p型GaAs基板1301の裏面には、例えばCrAu電極のようなp型電極1314が形成されている。図13に示した構造は利得導波型であるが、メサストライプの幅、高さおよび電流拡散層の屈折率を適当に選ぶことによって、単モード動作する屈折率導波型構造とすることもできる。

【0183】以下、第26の発明による半導体レーザの実施の形態として、前述した実施の形態22と大きく異なる点についてのみ述べる。

【0184】p型GaAsバッファ層1302は、原子配列のレベルで表面を平坦化し、その上に積層されるIII-V族化合物半導体の結晶欠陥の密度を低減し、高品質な半導体レーザ結晶を得るために設けられる。厚さは例えば0.3μmである。p型不純物としては例えばZnが用いられ、有効アクセプタ密度は $1 \times 10^{18} \text{cm}^{-3}$ である。

【0185】p型ZnTe/ZnS超格子バッファ層1303は、GaAsとZnSeとの間に存在する価電子帯不連続に起因するホール注入に対する障壁を緩和するために設けられる。その構造は、例えばZnTe層を7分子層つまり2.1nmとZnS層を13分子層つまり3.5nmとの組合せを1周期として、27周期繰り返し返して構成される。ZnTeおよびZnSのGaAsに対する格子不整合はそれぞれ+7.9%、-4.3%であり、亜超格子を構成する各層厚は境界膜厚未満となっている。また

41

超格子層全体では歪は相殺され、GaAsにほぼ格子整合する。室温でのバンドギャップは約2.5eVである。p型不純物としては例えばNが用いられ、超格子層全体に添加される。あるいは、p型GaAsバッファ層1302との界面近傍数nm程度の領域には添加しない。ZnTe層におけるキャリア密度は例えば $1 \times 10^{19} \text{cm}^{-3}$ である。このような構造により、従来GaAsとZnSeとの間に存在した0.9eV程度の価電子帯不連続は、p型GaAsバッファ層1302とp型ZnTe/ZnS超格子層1303と1304との間の0.45eV程度と、p型ZnTe/ZnS超格子層1303とp型ZnSeバッファ層1304との間の0.45eV程度に二分され、ホール注入の障壁が緩和されるので、半導体レーザの動作電圧は効果的に低減される。

【0186】なお、本実施の形態に限らず、1層以上のp型ZnSe層と1層以上のp型BeTe層からなるバッファ層を用いてIII-V族半導体とII-VI族半導体との間の価電子帯不連続を分割してホール注入に対する障壁を緩和することができる。例えば

(実施の形態25) 第27の発明による半導体レーザの実施の形態は、例えばp型GaAs基板上に構成したZnMgS系II-VI族半導体レーザのGaAs基板との界面で発生する0.9eV程度のホール注入に対する障壁を緩和するものであり、例えば前述した実施の形態24におけるp型ZnTe/ZnS超格子層1303の代わり、ZnTeバッファ層とp型ZnS Te混晶バッファ層とが順次積層されている。

【0187】以下、第27の発明による半導体レーザの実施の形態として、前述した実施の形態24と異なる点についてのみ述べる。

【0188】ZnTeバッファ層は、その上に形成されるp型ZnS Te混晶バッファ層の成長初期過程において2次元核生成・成長を促進させるためおよび積層欠陥生成を抑制させるために設けられる。また、成長雰囲気中のSやSeが直接GaAsバッファ層に付着して半導体レーザ結晶の結晶品質が低下するのを防ぐ効果もある。ZnTeバッファ層の厚さは、例えば1.2nmつまり4分子層に選ばれる。この程度の厚さのバッファ層であれば不純物を添加する必要はないが、もちろんp型不純物を添加してもよい。なお、GaAsとZnTeとの間にはホール注入に対する障壁が存在しない。

【0189】p型ZnS Te混晶バッファ層は、GaAsとZnSeとの間に存在するホール注入に対する障壁を緩和するために設けられる。ZnS Teの組成はS混晶比0.65であり、この組成を有するZnS TeはGaAsにほぼ格子整合する。室温でのバンドギャップは約2.5eVである。p型ZnS Te混晶バッファ層の厚さは例えば0.2nm。有効アクセプタ密度は例えば $5 \times 10^{17} \text{cm}^{-3}$ である。このような構造により、従来GaAsとZnSeとの間に存在した0.9eV程度の価電子帯不連続は、p型GaAsバッファ層とp型ZnS Te混晶バッファ層との間の0.45eV程度と、p型ZnS Te混晶バッファ層とp型ZnSeバッファ層との間の0.45eV程度に二分され、ホール注入

42

の障壁が緩和されるので、半導体レーザの動作電圧は効果的に低減される。

【0190】なお、本実施の形態に限らず、1層以上の混晶層を用いてIII-V族半導体とII-VI族半導体との間の価電子帯不連続を分割してホール注入に対する障壁を緩和することができる。

【0191】(実施の形態26) 第28の発明による半導体レーザの実施の形態は、例えばp型GaAs基板上に構成したZnMgS系系II-VI族半導体レーザのGaAs基板との界面で発生する0.9eV程度のホール注入に対する障壁を緩和するものであり、例えば前述した実施の形態24におけるp型ZnTe/ZnS超格子層1303の代わり、p型BeTe/ZnSe超格子層が形成されている。

【0192】以下、第28の発明による半導体レーザの実施の形態として、前述した実施の形態24と異なる点についてのみ述べる。

【0193】p型BeTe/ZnSe超格子層は、GaAsとZnSeとの間に存在する価電子帯不連続に起因するホール注入に対する障壁を緩和するために設けられる。その構造は、例えばBeTe層を1分子層つまり5.3nmとZnSe層を3分子層つまり8.8nmとの組合せを1周期として、10周期繰り返して構成される。BeTeおよびZnSeのGaAsに対する格子不整合はそれぞれ-0.43%、+0.28%であり、超格子層を構成する各層厚は臨界面厚未満となっている。また超格子層全体では歪は相殺され、GaAsにほぼ格子整合する。p型不純物としては例えばNが用いられ、超格子層全体に添加される。あるいは、p型GaAsバッファ層との界面近傍数nm程度の領域には添加しない。BeTe層におけるキャリア密度は例えば $5 \times 10^{18} \text{cm}^{-3}$ である。このような構造により、従来GaAsとZnSeとの間に存在した0.9eV程度の価電子帯不連続は、p型GaAsバッファ層とp型BeTe/ZnSe超格子層との間の不連続と、p型BeTe/ZnSe超格子層とp型ZnSeバッファ層との間の不連続に二分され、ホール注入の障壁が緩和されるので、半導体レーザの動作電圧は効果的に低減される。

【0194】なお、本実施の形態に限らず、厚さの異なる複数のBeTe層およびZnSe層からなるバッファ層を用いて、III-V族半導体とII-VI族半導体との間の価電子帯不連続を分割してホール注入に対する障壁を緩和することができる。また、p型BeTe/ZnSe疑似傾斜バッファ層を用いて、巨視的に価電子帯バンド構造がGaAsからBeTeを経てZnSeへと連続的に変化するような構造を得ることができる。

【0195】(実施の形態27) 図14は第29の発明による光ディスク装置の実施の形態を模式的に示す構成図である。この光ディスク装置は、第23～28いずれかの発明による半導体レーザを光ディスク装置に応用したものである。キャンにレーザチップが実装された半導体レーザ1401より出射した波長490nmのレーザ光1402は、コリメータレンズ1403で平行光にされた後、回折格子1404で3ビ

43

ームに分割され(図示せず)、ハーフプリズム1405を通り集光レンズ1406で集光され、光ディスク1407上に直径0.8mmのスポットを結ぶ。光ディスク1407で反射した光は再度集光レンズ1406を通り、ハーフプリズム1405で反射され、受光レンズ1408で絞られ、シリンドライカルレンズ1409を経てフォトダイオード1410に入り、電気信号に変換される。

【0196】この際、分割された3ビームにより光ディスク1407の半径方向のずれを検出し、またシリンドライカルレンズ1409により焦点の位置ずれを検出する。そしてこのずれは、駆動系1411で光学系を微動調整することにより修正される。

【0197】このように、半導体レーザからのレーザ光を光ディスクに導く集光光学系および光ディスクで反射した光を受ける光検出器を備えた光ディスク装置に、半導体レーザを応用すれば、光ディスクに記録された情報の読み出し、つまり再生ができる。なお、レーザチップに自励発振特性を付与しておくこと、低出力時にレーザチップへの戻り光の影響をあまり受けることなく情報の読み出しが行えるので好ましい。また、このとき半導体レーザ1401に高周波回路のような付加的な回路は不要で、簡単な構成により小型化が可能となるので好ましい。さらに、20mW程度の高出力動作も可能であることから、光ディスクへ情報の書き込み、つまり記録もすることができ、1台の半導体レーザ1401で読み出しと書き込みとができる、簡単な構成で優れた特性をもつ光ディスク装置に適用することもできる。

【0198】(実施の形態28) 図15および図16は第29の発明による他の光ディスク装置の実施の形態を模式的に示す構成図である。この光ディスク装置は、レーザチップ、光信号検出用のフォトダイオード、およびレーザチップからのレーザ光を反射させるマイクロミラーをSi基板上に一体構成することで、小型化・薄型化を図ったものである。

【0199】ここでは、レーザチップ、フォトダイオードおよびマイクロミラーを総称してレーザユニットと呼ぶ。レーザユニットから射出したレーザ光は、ホログラム素子の下面に形成されたグレーティングパターンにより、3ビームに分割され、それぞれ1/4板を通して対物レンズにより、光ディスク表面の情報トラックに集光される。

【0200】そして、光ディスクからの反射ビームは、再び、対物レンズ、1/4板とを通過し、ホログラム素子上面に形成されたホログラムパターンにより、それぞれ左右に±1次光として、それぞれ集光および発散作用を付加されて回折される。つまり、図16に示したように、左側に回折された回折光は、フォトダイオードの受光面の前に焦点をもつビームとなり、右側に回折された回折光は、受光面の後ろに焦点を持つビームとなる。

【0201】反射ビームを受光するフォトダイオード

44

は、レーザチップを配置する凹部の左右のSi基板に直接形成され、それぞれ5分割されている。図17のように、フォーカスエラー信号の検出には、フォトダイオードの中央の3つの部分を利用する。ジャストフォーカスの場合は、図17(a)のようになり、フォーカスがずれていると、図17(b)や(c)のようになる。フォーカスエラー信号(FES)の演算式は、 $FES = (1+3+5) - (2+4+6)$ であり、 $FES=0$ になるようにアクチュエータを駆動させて対物レンズを光ディスクの情報トラックに追従させる。

【0202】同様に、トラッキングエラー信号(TES)の検出は、 $TES = (T1-T2) + (T3-T4)$ となり、また、光ディスクの記録内容を示す情報信号(RFS)は、 $RFS = (1+3+5) + (2+4+6)$ となる。

【0203】図18にレーザユニットの構成図を示す。レーザユニットはSi基板上に一体構成されており、Si基板主面上の凹部にレーザチップが配置される。レーザチップ前端面から射出する光は、Si基板の主面に対して45°の角度で形成されたマイクロミラーにより上方へ反射される。マイクロミラーはSi(111)面を利用して形成される。(111)面は異方性エッチングにより簡単に得られ、また化学的に安定な面であるので、光学的に平坦な面が得られやすい。(111)面は(100)面と54°の角度をなすので、(100)面から[110]方向へ9°傾斜したSi基板を用いることにより、45°の角度を得る。マイクロミラーと対向する面の角度は63°となるが、この面には、レーザチップ後端面からの光出力をモニターするモニター用フォトダイオードが形成される。

【0204】マイクロミラーの表面は平坦なSiであるが、レーザ光の利用効率を高めるために、反射率の高く吸収率の低いAu、AgあるいはAl等の金属薄膜を蒸着して光の損失を少なくするのが好ましい。

【0205】以上のように、レーザユニットを用いることにより、光ディスクの小型化・薄型化が可能になるとともに、製造上の観点からも、フォトダイオード、マイクロミラーが既に形成されたSi基板主面の凹部にレーザチップを配置するだけでよいので、工程が簡略化でき、歩留まりも高くなる。

【0206】

【発明の効果】以上のように本発明によれば、111-V族半導体基板上に形成された11-V族半導体結晶の欠陥密度を低減させ、これを用いた発光素子の信頼性を向上させるといふ顕著な効果が得られた。

【図面の簡単な説明】

【図1】第1の発明によるヘテロエピタキシャル半導体結晶の構造断面図

【図2】従来構成のヘテロエピタキシャル半導体結晶の構造断面図

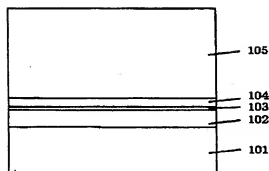
【図3】第4の発明による半導体製造装置を示す概念図

【図4】第6の発明による半導体製造方法で成長させたヘテロエピタキシャル半導体結晶の構造断面図

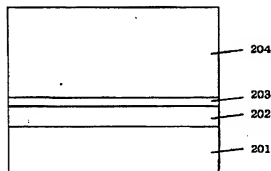
【図5】第7の発明による半導体製造方法で成長させた
ヘテロエピタキシャル半導体結晶の構造断面図
【図6】第8の発明による半導体製造装置を示す概念図
【図7】第16の発明による半導体製造装置を示す概念図
【図8】第18の発明による半導体製造方法で成長させた
ヘテロエピタキシャル半導体結晶の構造断面図
【図9】第19の発明による半導体製造方法で成長させた
ヘテロエピタキシャル半導体結晶の構造断面図
【図10】第20の発明による半導体製造装置を示す概念
図
【図11】第23の発明による半導体レーザの構造断面図
【図12】第24の発明による半導体レーザの構造断面図
【図13】第26の発明による半導体レーザの構造断面図
【図14】第29の発明による光ディスク装置の構成図
【図15】第29の発明による他の光ディスク装置の構成
図
【図16】ホログラム素子の構成断面図
【図17】ホログラムユニット、特にフォトダイオード
の平面図
【図18】レーザユニットを示す構成斜視図
【符号の説明】
101, 201, 501, 901, 1101, 120
1, 1301 GaAs基板
102, 202, 502, 902, 1102, 120
2, 1302 GaAsバッファ層
103, 403, 504, 1103, 1103 ZnTeバ
ッファ層
104, 203, 404, 505, 803, 904, 1
104, 1204, 1304 ZnSeバッファ層
105, 204, 506, 905 n型ZnMgSSe層
301, 601, 701, 1001 ロードロック室
302, 602, 702, 1002 III-V族半導体成
長室
303, 603, 703, 1003 基板移送室
304, 605, 704, 1005 II-VI族半導体成
長室
305, 606, 705, 1006 基板保持加熱機構
306, 607, 706, 1007 Gaを充填した加熱
蒸発源
307, 608, 707, 1008 Asを充填した加熱
蒸発源
308, 609 ZnTeを充填した加熱蒸発源
309, 610, 711, 1012 ZnSeを充填した加
熱蒸発源
310, 611, 712, 1013 ZnSを充填した加
熱蒸発源
311, 612, 713, 1014 Mgを充填した加熱

蒸発源
312, 613, 714, 1015 ZnCl2を充填した
加熱蒸発源
401, 801 InP基板
402, 802 InGaAsバッファ層
405, 804 n型ZnCdMgSe層
503, 903 AlGaAsバッファ層
604 ZnTe成長室
708, 1009 Znを充填した加熱蒸発源
10709, 1010 Seを充填した加熱蒸発源
710, 1011 Seの分子線を遮断するバルブ機構
1004 ZnSe成長室
1105 n型ZnSeバッファ層
1106, 1310 n型ZnMgSSeクラッド層
1107, 1309 n型ZnSe光ガイド層
1108, 1308 ZnCdS活性層
1109, 1307 p型ZnSSe光ガイド層
1110, 1306 p型ZnMgSSeクラッド層
1111 p型ZnSSeクラッド層
1112, 1209 p型ZnSeキャップ層
1113 p型ZnTe/ZnSe疑似傾斜層
1114 p型ZnTeコンタクト層
1115, 1212, 1312 電流狭窄層
1116, 1213, 1314 p型電極
1117, 1214, 1313 n型電極
1203 BeTeバッファ層
1205 n型ZnMgBeSeクラッド層
1206 ZnCdSe量子井戸層
1207 ZnMgBeSe障壁層
1208 p型ZnMgBeSeクラッド層
1210 p型BeTe/ZnSe疑似傾斜層
1211 p型BeTeコンタクト層
1303 p型ZnTe/ZnS超格子バッファ層
1305 p型ZnSSeバッファ層
1311 n型ZnSeコンタクト層
401 半導体レーザ
402 レーザ光
403 コリメータレンズ
404 回折格子
405 ハーフプリズム
406 集光レンズ
407 光ディスク
408 受光レンズ
409 シリンドリカルレンズ
410 フォトダイオード
411 駆動系

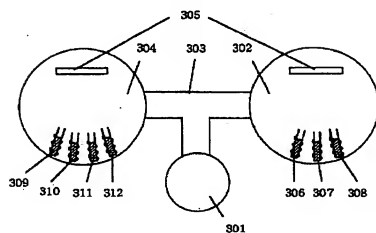
【圖 1】



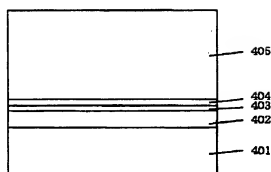
【圖 2】



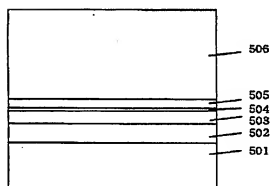
【圖 3】



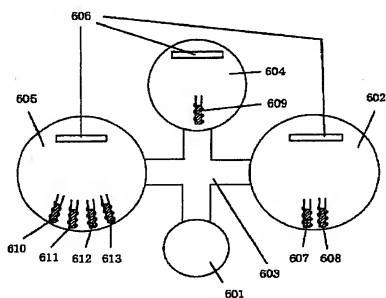
【圖 4】



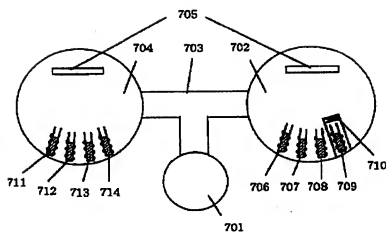
【圖 5】



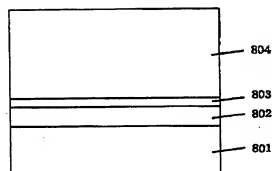
【圖 6】



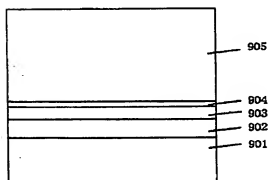
【図7】



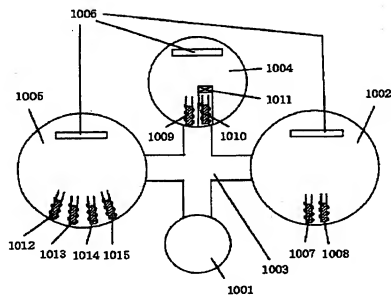
【図8】



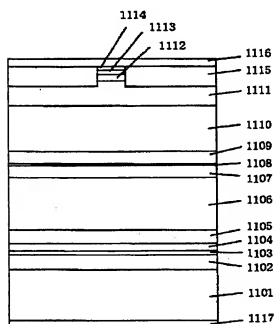
【図9】



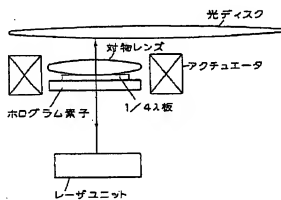
【図10】



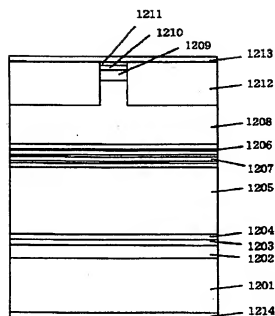
【図11】



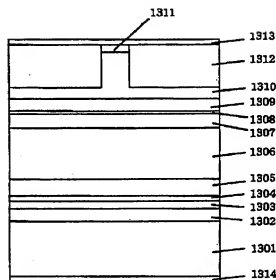
【図15】



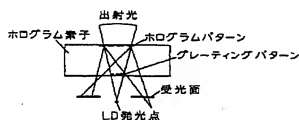
【図12】



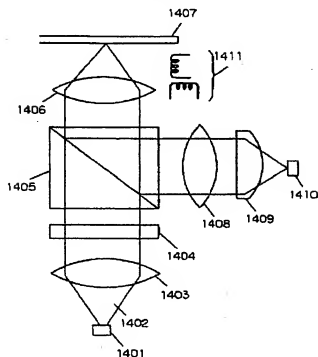
【図13】



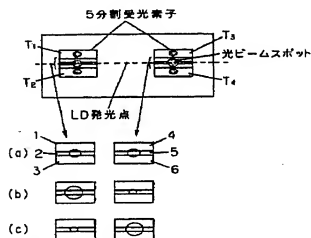
【図16】



【図14】



【図17】



【図18】

